

NIDays09

CONFERÊNCIA TECNOLÓGICA SOBRE
PROJETO GRÁFICO DE SISTEMAS





Desenvolvendo aplicações com LabVIEW FPGA

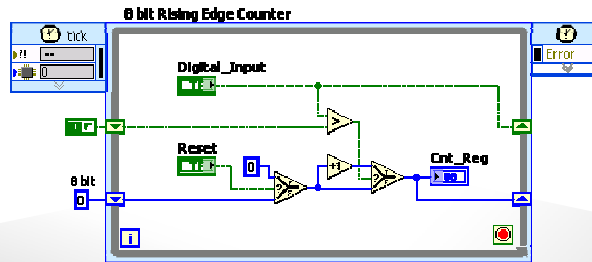
Rogério Rodrigues – Engenheiro de Marketing Técnico

Marcos Cardoso – Engenheiro de Vendas



Agenda

- **O que são FPGAs e por que eles são úteis?**
- Programando FPGAs
- Hardware FPGA
- Aplicações comuns para FPGAs
- Como aprender mais



**LabVIEW
Real-Time**



**LabVIEW
FPGA**



**LabVIEW
Touch Panel**



**LabVIEW para
ADI Blackfin**



**LabVIEW
para ARM**



Tecnologia Embarcada NI LabVIEW

**Processador
de Tempo Real**

FPGA

PDA/HMI

Microprocessador

Microcontrolador

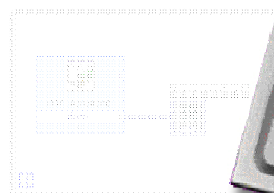
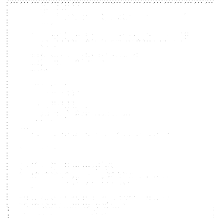
ni.com

 **NATIONAL
INSTRUMENTS™**

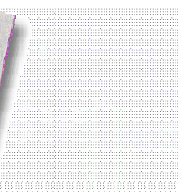
Solução de problemas

Microprocessado

- Flexível e Modular
- Sequencial
- Programável
- Tempo de execução
 - 12, 24,... Pulsos de clock
- Confiabilidade depende de SO, aplicativo e condições de uso



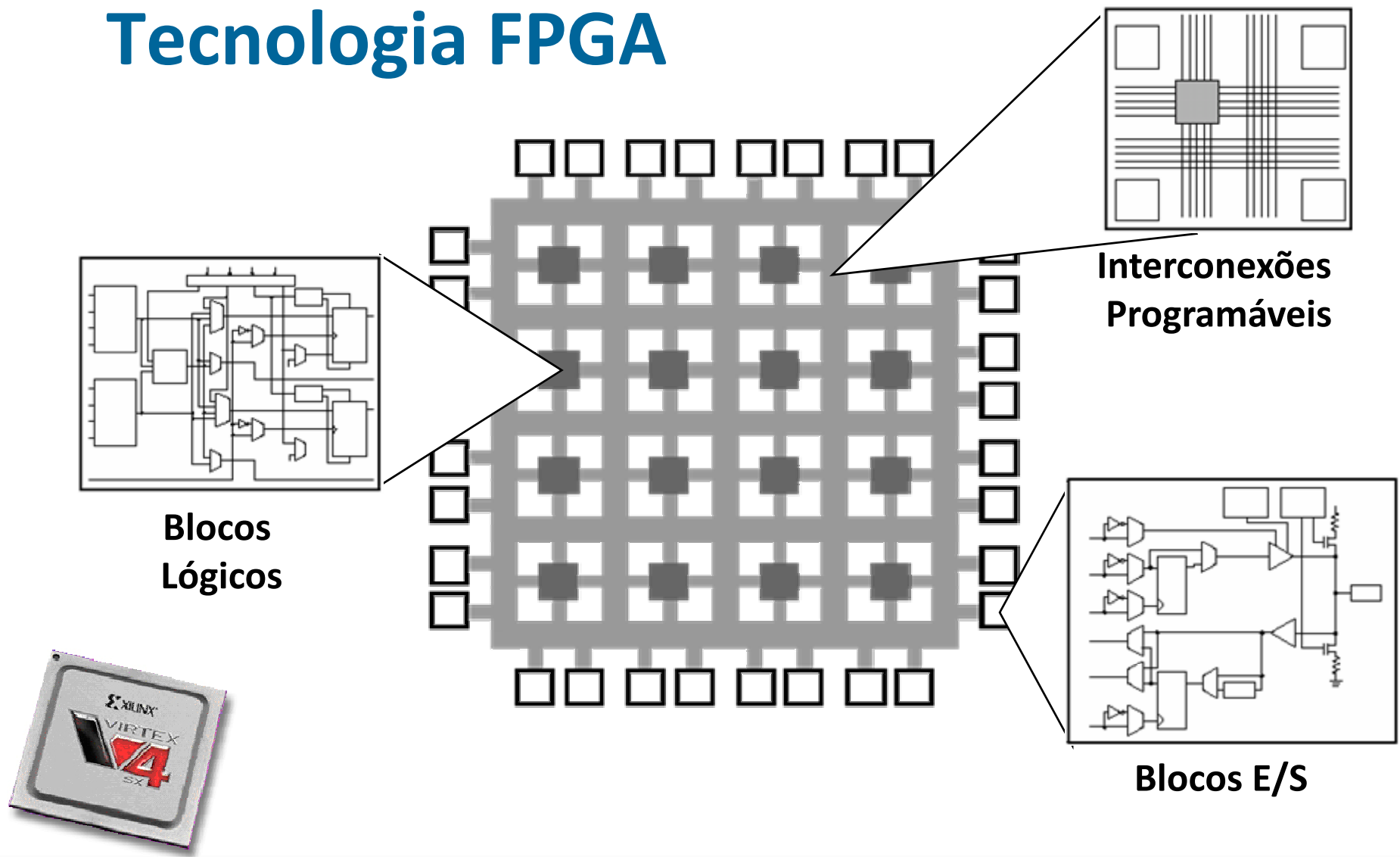
FPGA



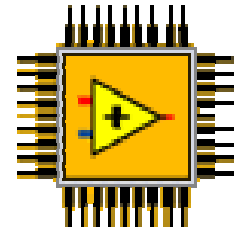
Eletrônica Digital

- Estático
- Paralelo
- Projeto Digital
- Tempo de Execução
 - Propagação do sinal elétrico
- Altamente confiável

Tecnologia FPGA



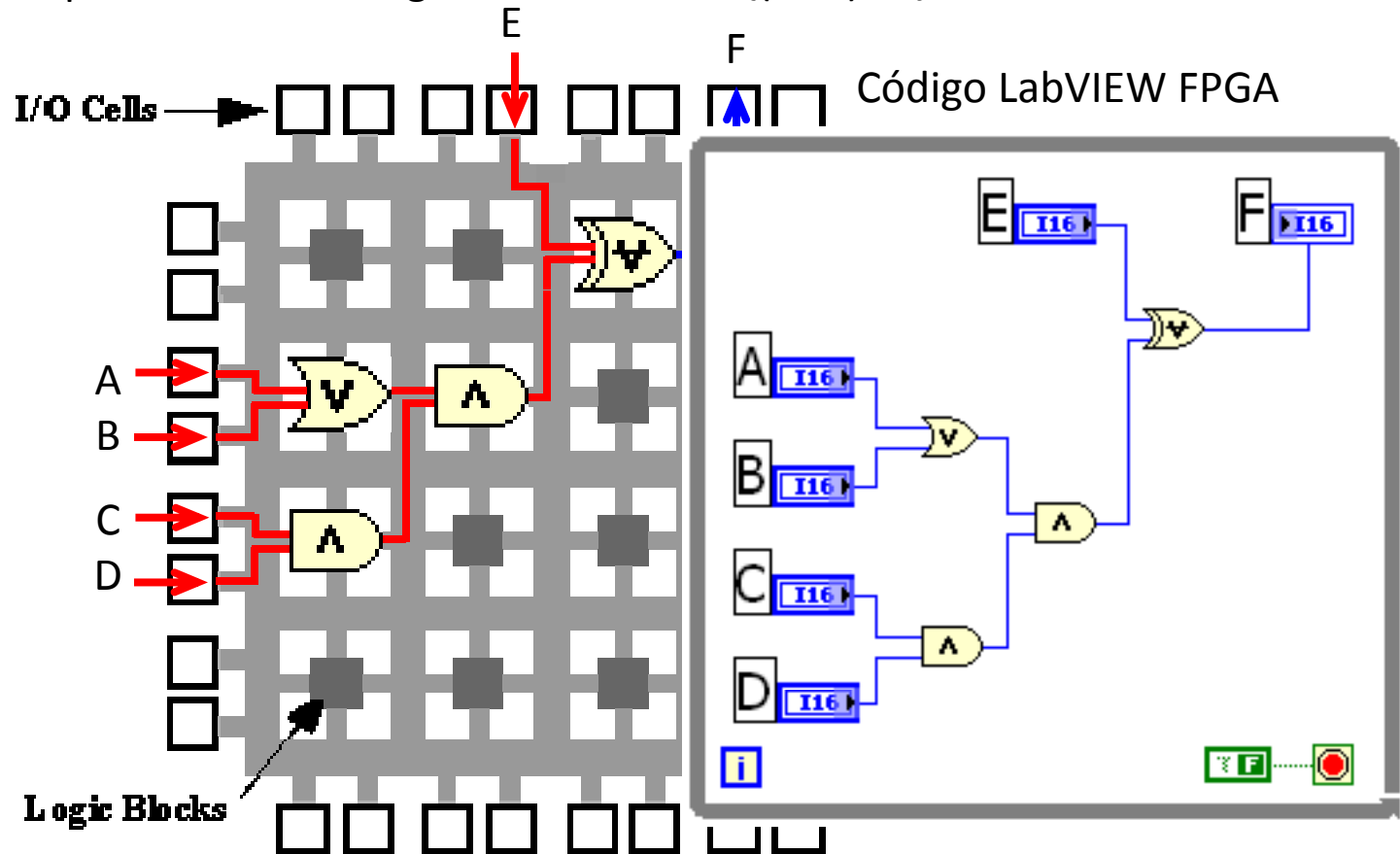
Por que eles são úteis?



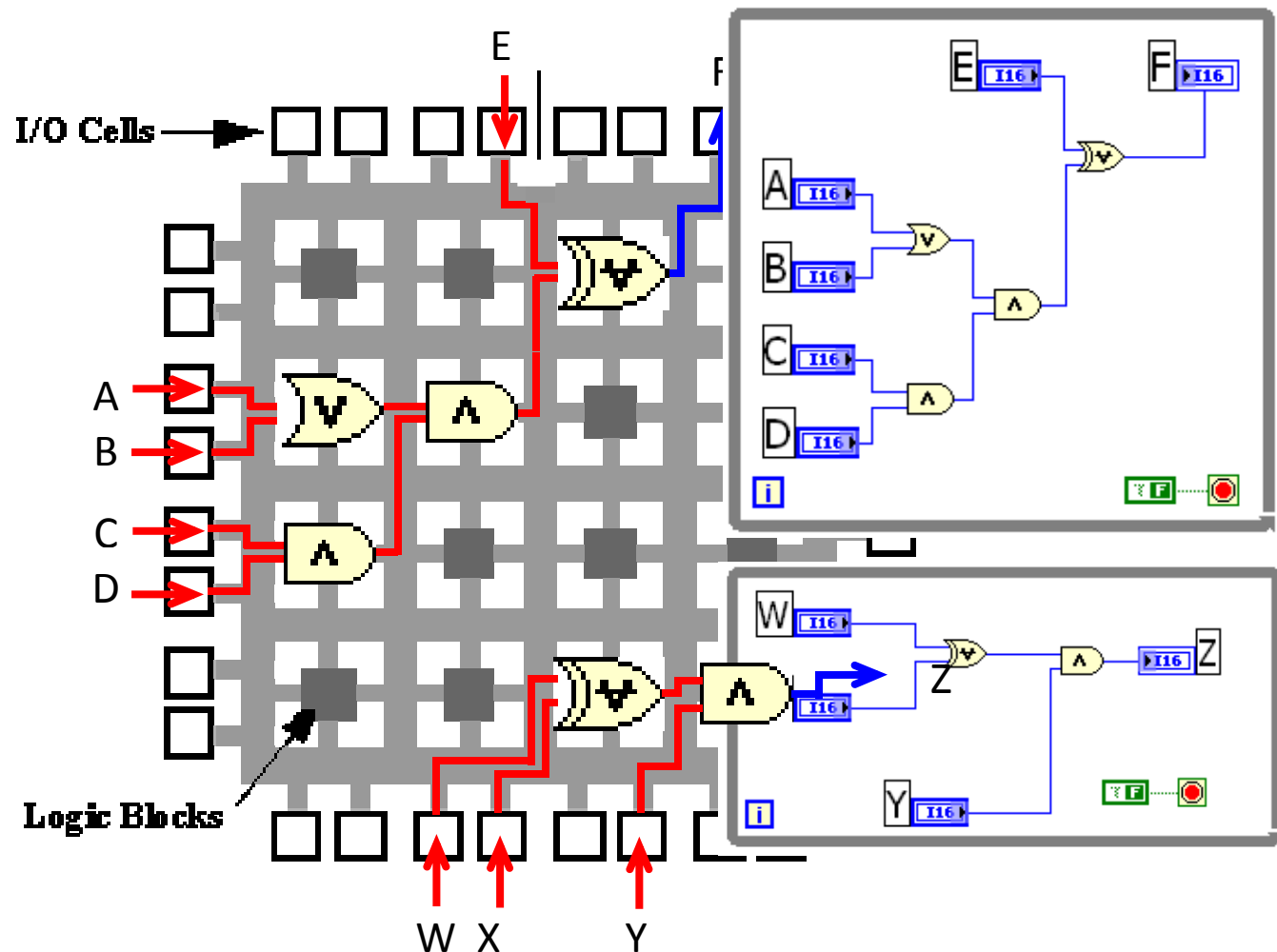
- ***Paralelismo Verdadeiro*** – Possibilidade de execução paralela e em *pipeline*
- ***Alta Confiabilidade*** – Projetos viram circuitos personalizados
- ***Determinismo Elevado*** – Algoritmos executam a taxas determinísticas de 25 ns (mais rápidos em alguns casos)
- ***Reconfiguráveis*** – Criam novas tarefas personalizadas e as alterar as existentes

Implementação de Lógica com o FPGA

Implementando a Lógica no FPGA: $F = \{(A+B)CD\} \oplus E$



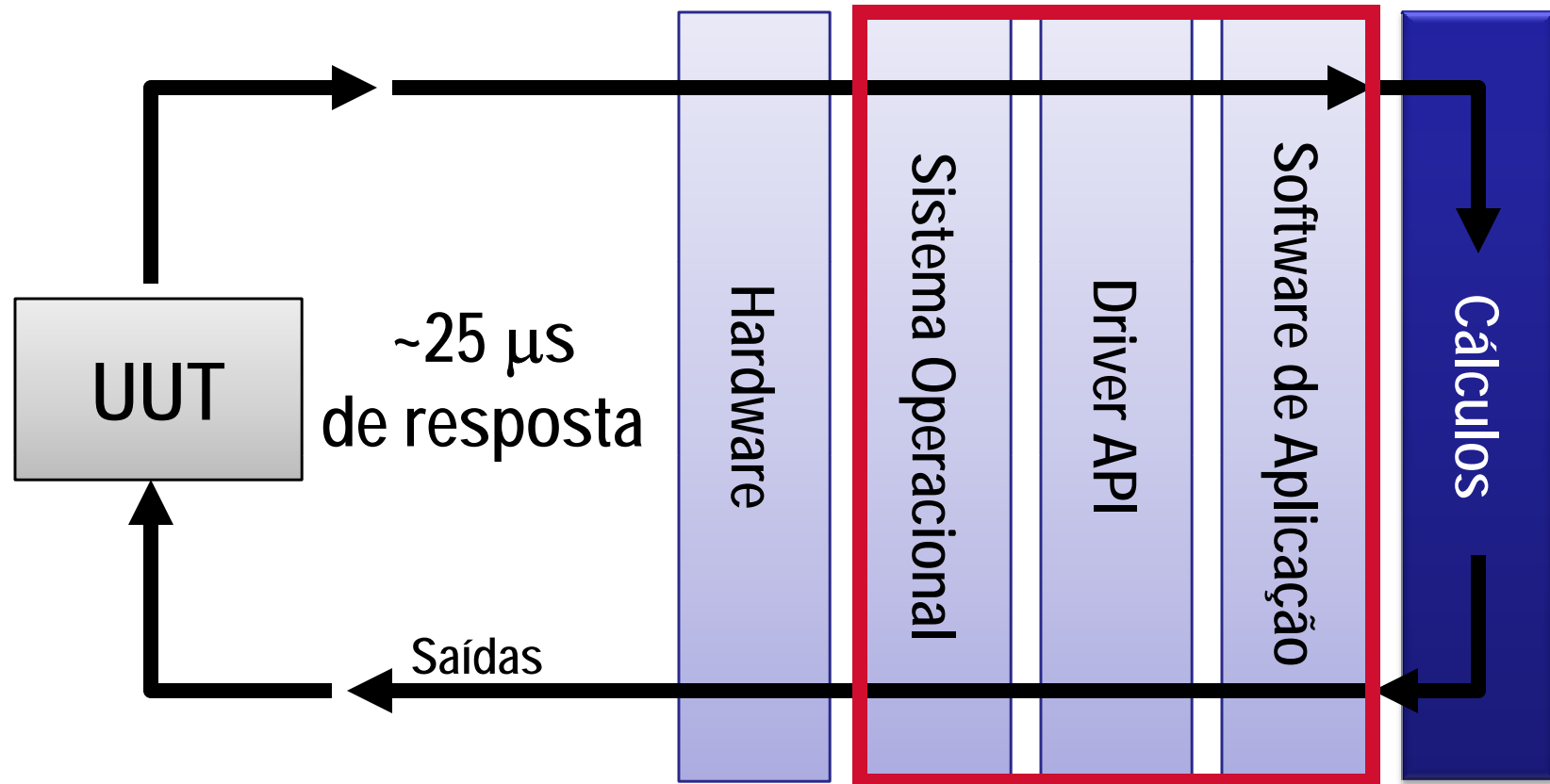
Paralelismo Verdadeiro



Alta Confiabilidade e Determinismo

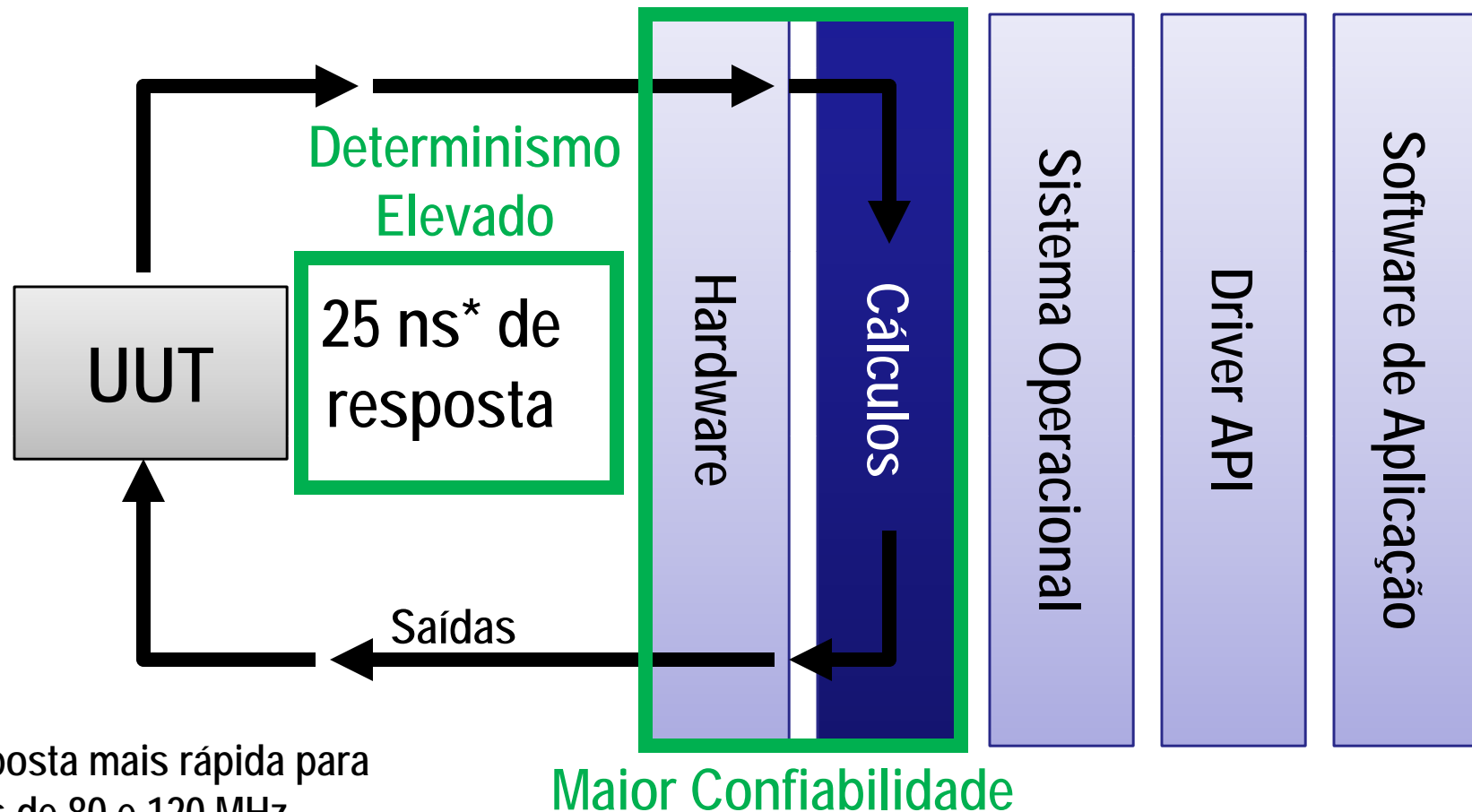
Decisão realizada em **Software**

Possibilidade de Falhas



Alta Confiabilidade e Determinismo

Decisão realizada em **Hardware**

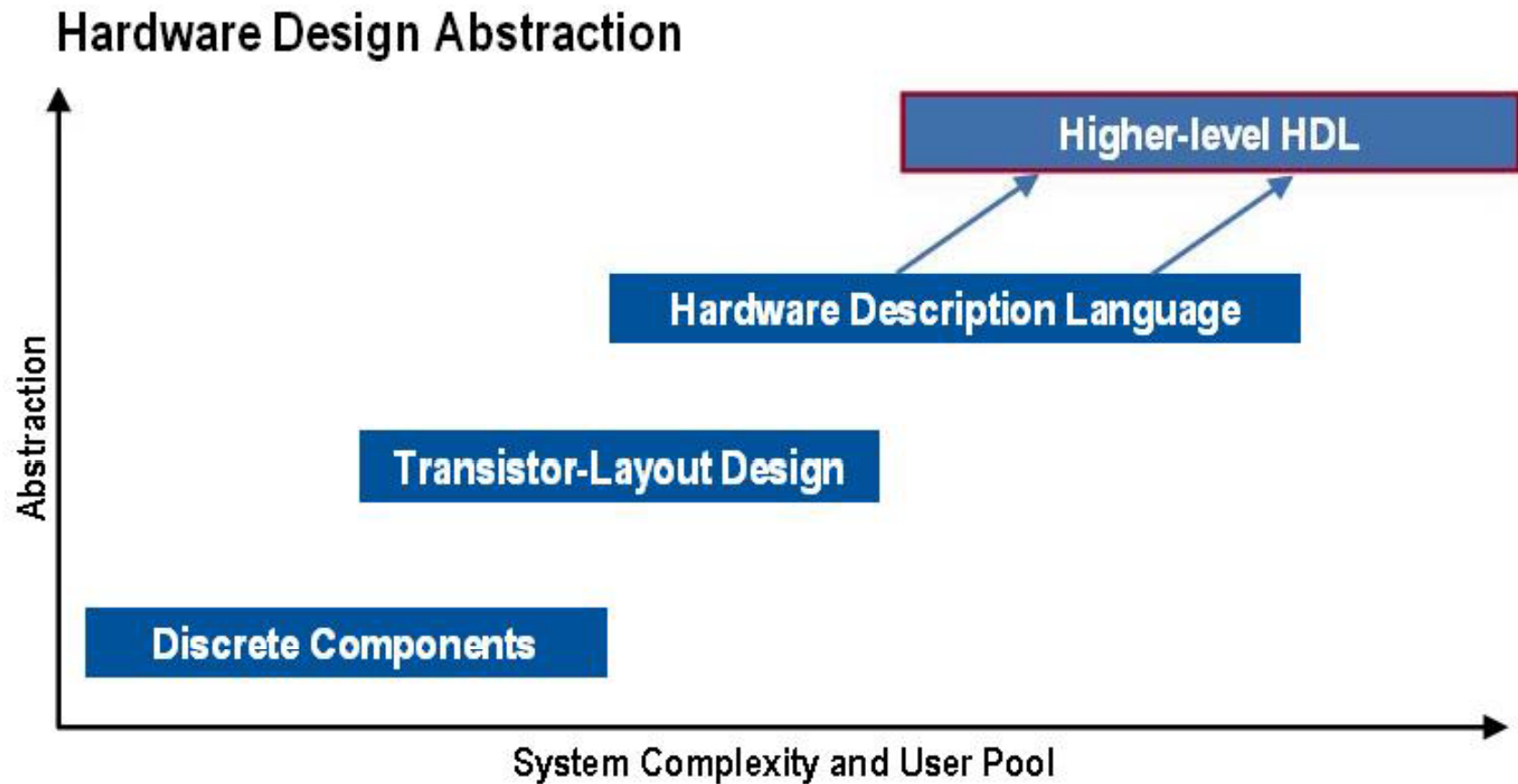


* Resposta mais rápida para clocks de 80 e 120 MHz

Agenda

- O que são FPGAs e por que eles são úteis?
- **Programando FPGAs**
- Hardware FPGA
- Aplicações comuns para FPGAs
- Como aprender mais

Necessidade de Hardware de Alto Nível

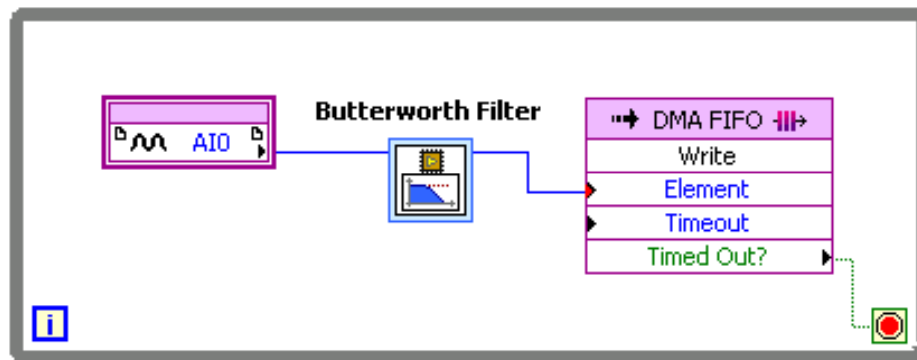


Abstração do Código LabVIEW FPGA

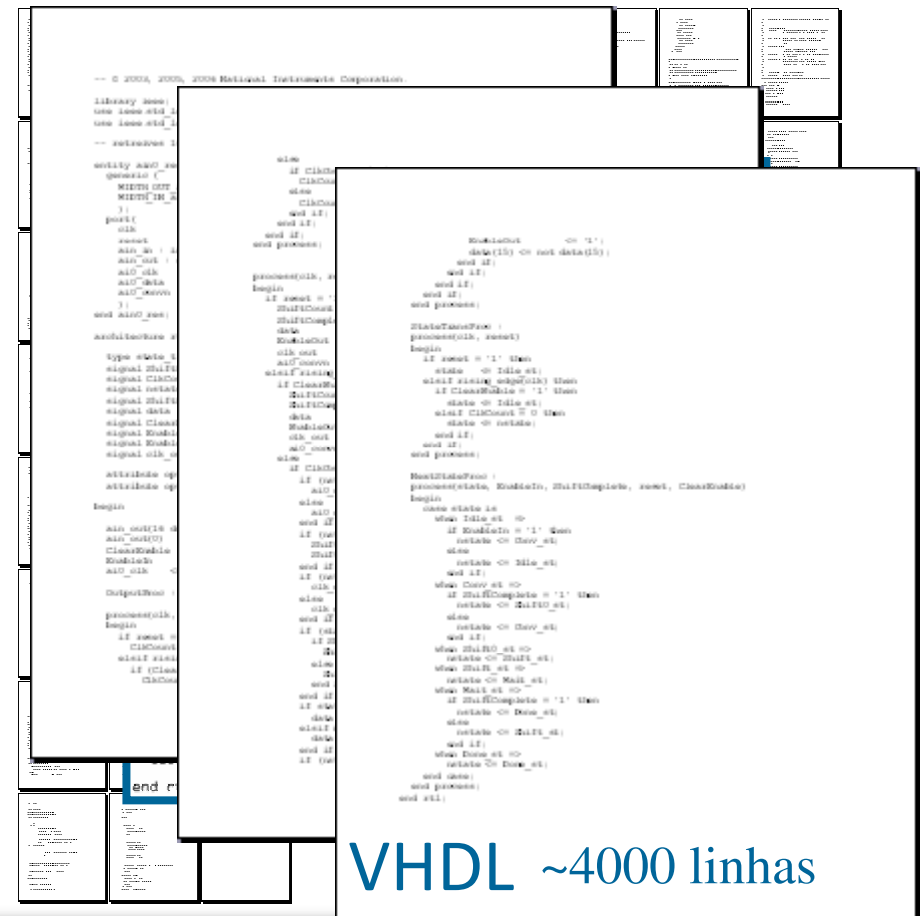
Contador

E/S Analógica

E/S com DMA

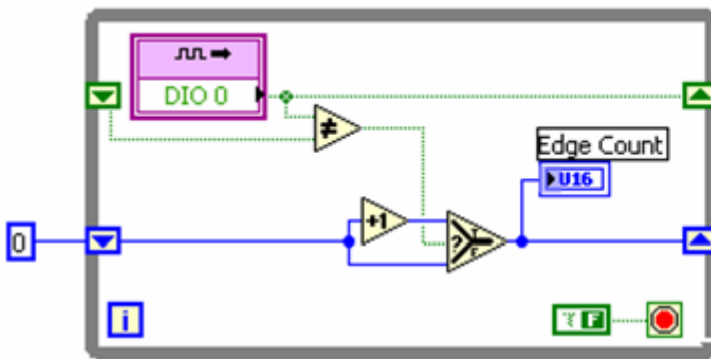
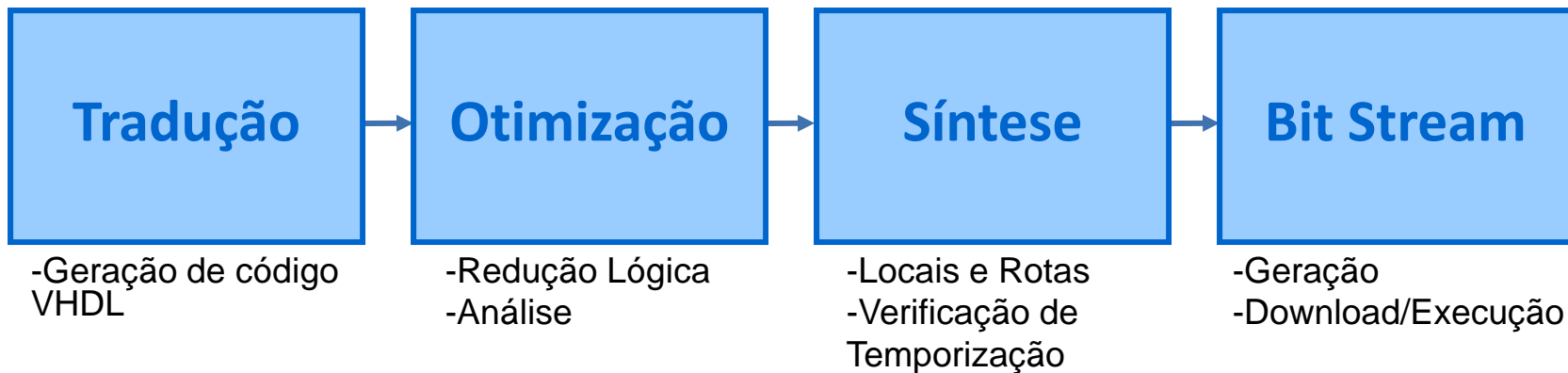


LabVIEW FPGA



VHDL ~4000 linhas

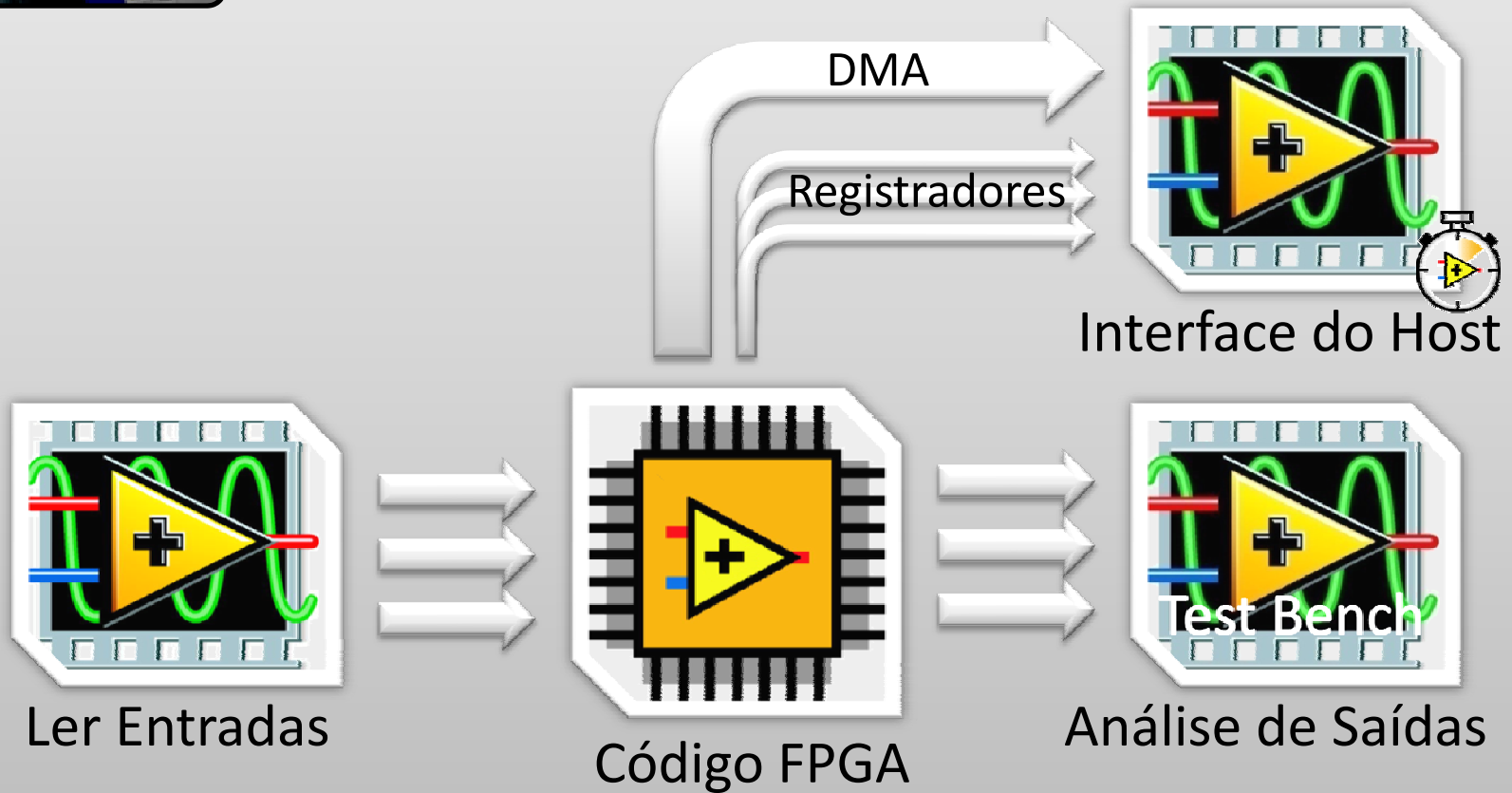
Do LabVIEW para o Hardware



```
0010100101010001010
1001010010010100101
0010010101010111101
0010110101010001010
1010010100101001001
0100100010010010000
```



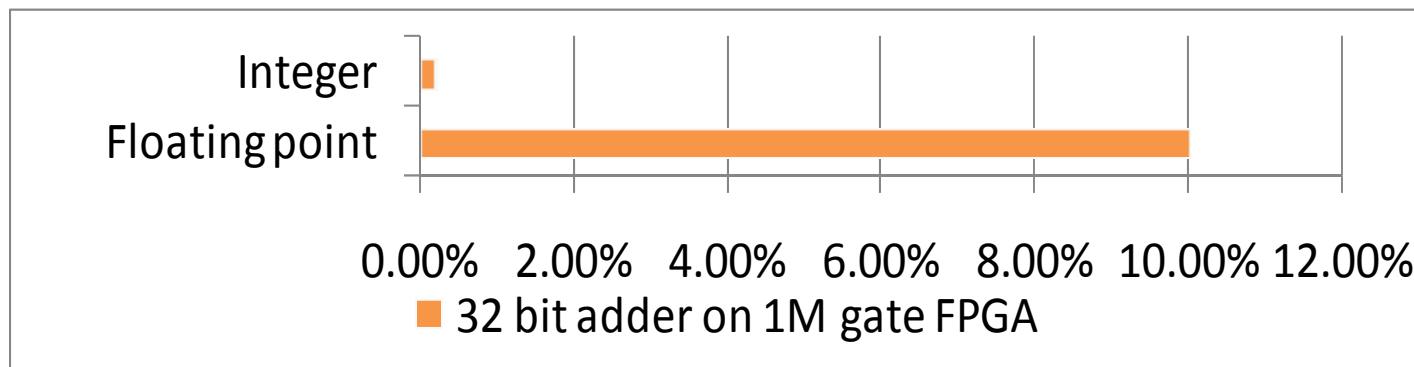
Computador de desenvolvimento



Ponto Flutuante não disponível

$$\begin{array}{rcll} 9.99 \times 10^5 & \longrightarrow & 9.99 \times 10^5 & \longrightarrow 10.01 \times 10^5 \longrightarrow 1.001 \times 10^6 \\ + 2.0 \times 10^3 & + & 0.02 \times 10^5 & \text{Deslocamento Dinâmico} \\ \text{Deslocamento Dinâmico} & & & \end{array}$$

- Deslocamentos Dinâmicos são caros computacionalmente



- As operações de ponto fixo evitam o deslocamento dinâmico

LabVIEW FPGA IP

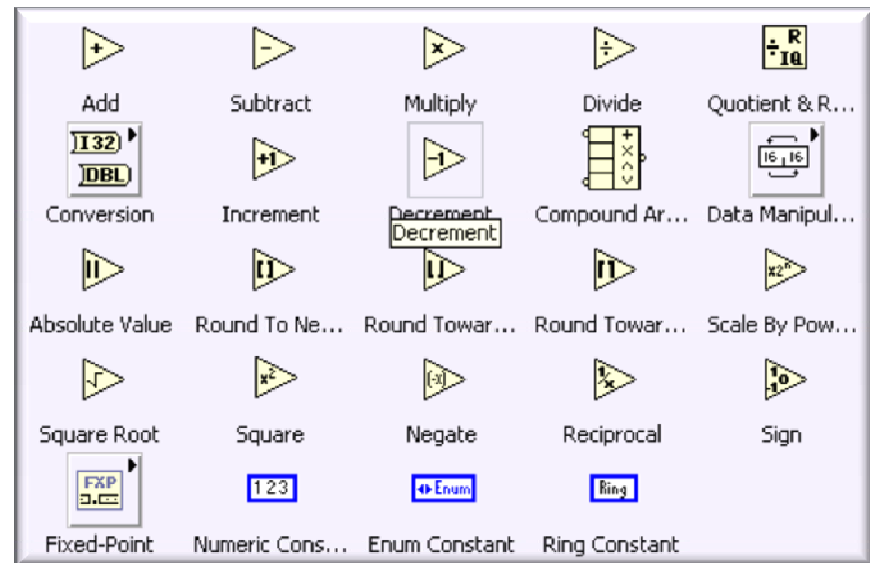
Comparação



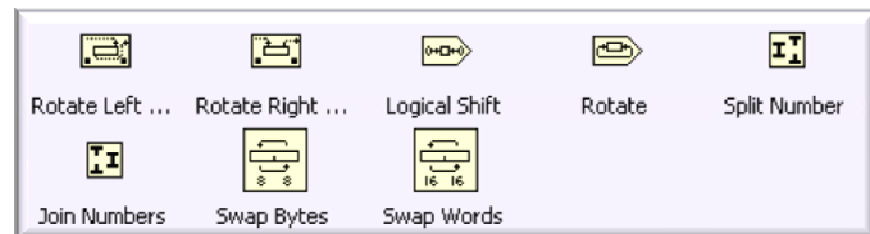
Booleano



Aritmética de Inteiros e Ponto-Fixo



Manipulação de Dados

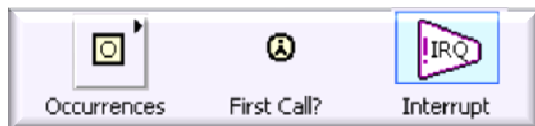


LabVIEW FPGA IP

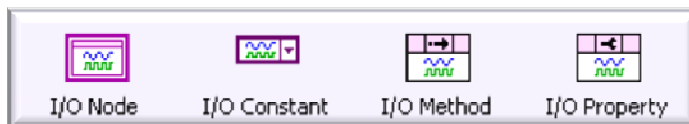
Memória



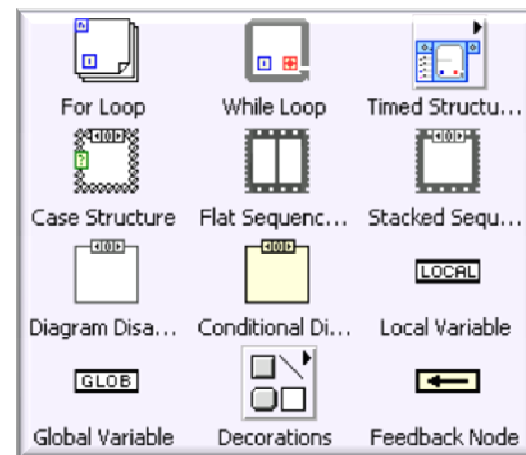
Sincronização



Integração E/S



Estruturas de Execução

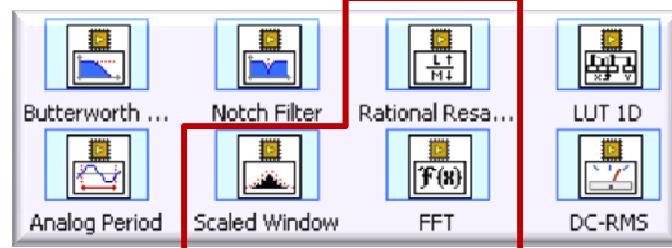


Temporização



IP do LabVIEW FPGA

Filtros e Análises de Sinal

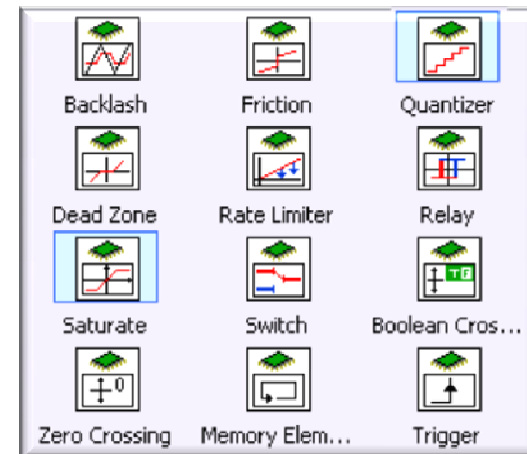


Novo no
LabVIEW 8.6

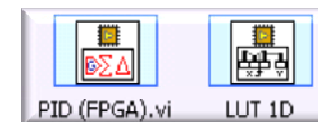
Geração de Sinal



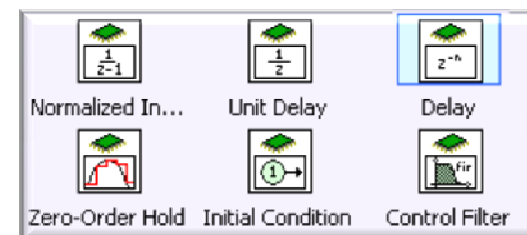
Sistemas Não-Lineares



Manipulação de Dados



Sistemas Lineares



IPs do LabVIEW FPGA – Geradores

Toolkit Digital Filter Design

Generate LabVIEW FPGA Code for LMS Adaptive Filter

Algorithm Settings

Filter length: 128
Step size: 0.00999832

Implementation Settings

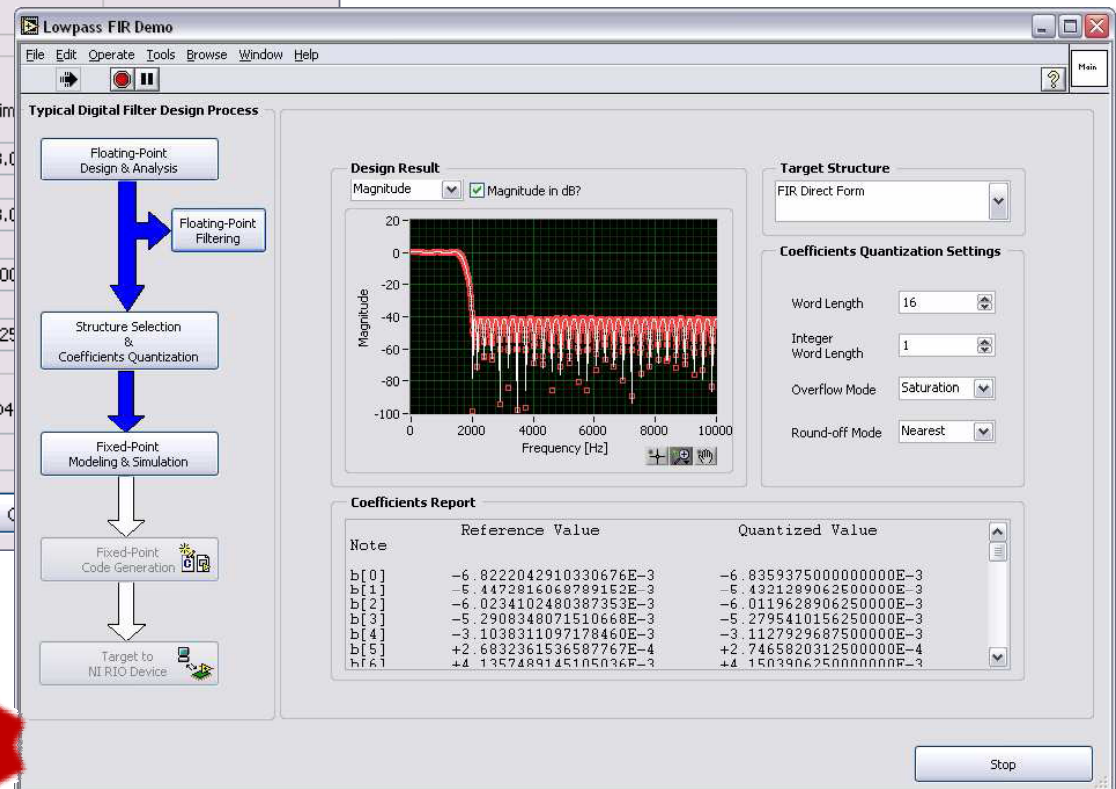
Filter name: FXP LMS
Read coefficients? ☐

Fixed-Point Configuration

| | Word length | Integer word length | Minimum | Maximum |
|-----------|-------------|---------------------|-----------|----------|
| x(n) | 24 bits | 8 bits | -128.0000 | 128.0000 |
| d(n) | 24 bits | 8 bits | -128.0000 | 128.0000 |
| w(n) | 24 bits | 4 bits | -8.0000 | 8.0000 |
| Step size | 16 bits | -2 bits | -0.1250 | 0.1250 |

Maximum input Fs@4: 150.94kHz

Load FXP Settings ... OK

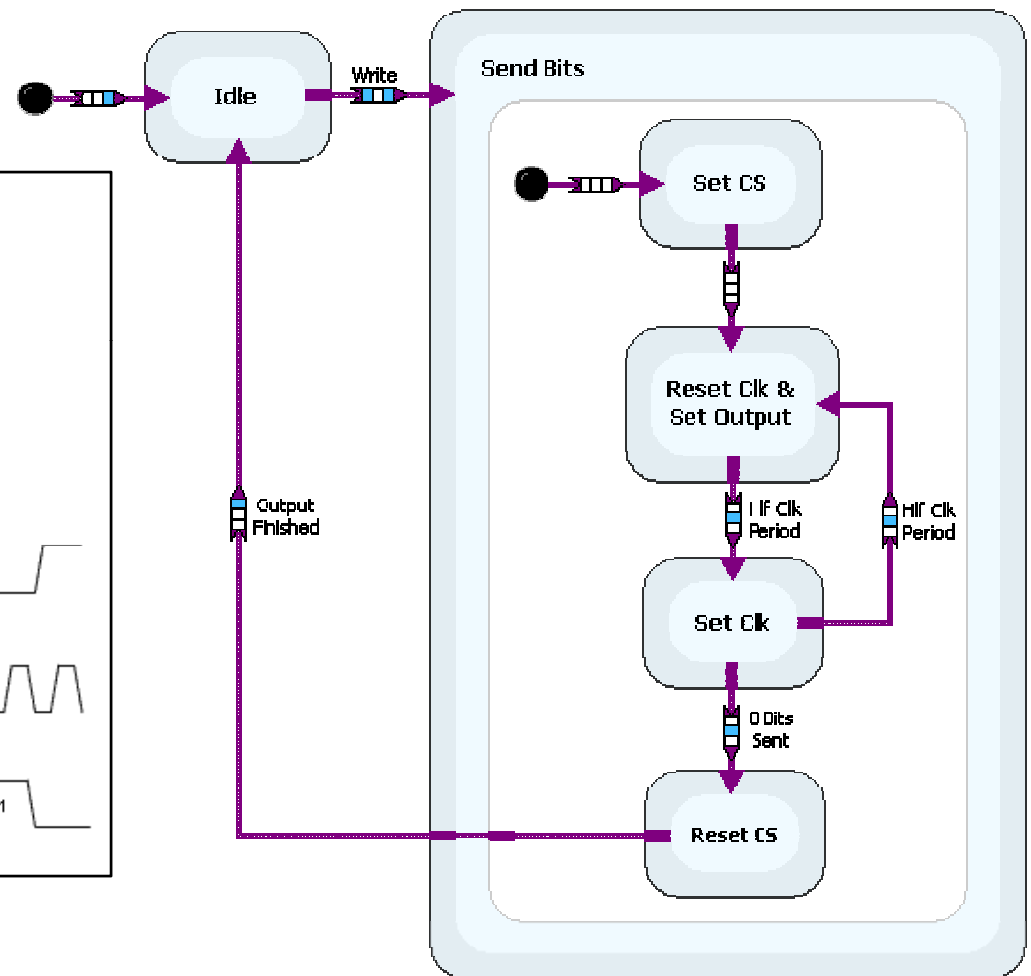
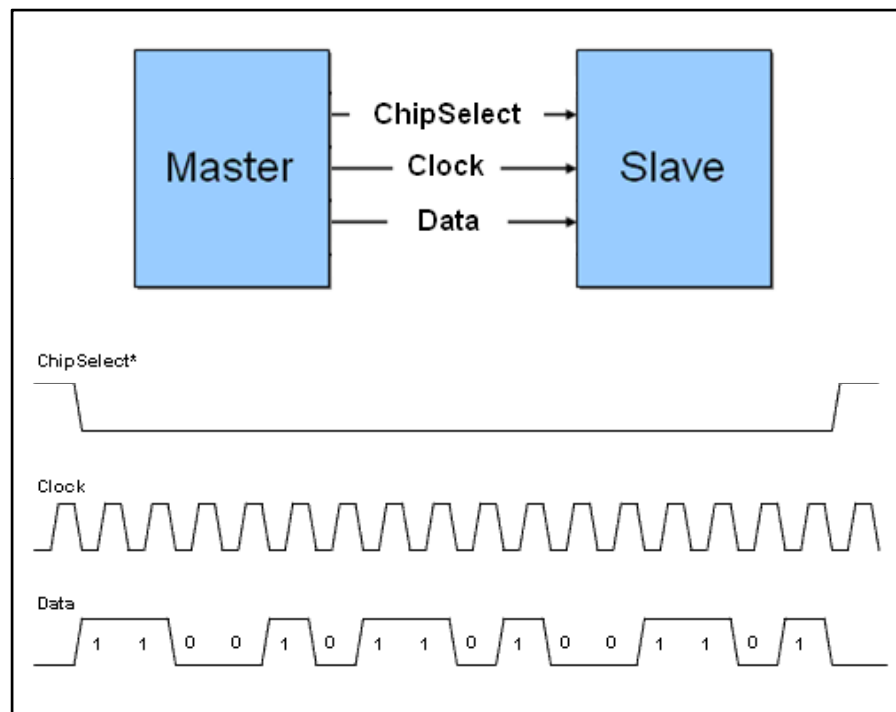


Toolkit Adaptive Filter Design

Novo no
LabVIEW 8.6

Módulo LabVIEW Statechart

Interface Serial Periférica (SPI)



IP baseado em HDL no LabVIEW FPGA

- Nó de Interface HDL
 - Integração com linhas em HDL

Novo no
LabVIEW 8.6

- Component-Level IP (CLIP)
 - Integração Paralela em HDL

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

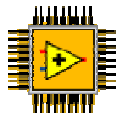
Library XilinxCoreLib;
ENTITY filt IS
    port (
        ND: IN std_logic;
        RDY: OUT std_logic;
        CLK: IN std_logic;
        RST: IN std_logic;
        RFD: OUT std_logic;
        DIN: IN std_logic_VECTOR(15 downto 0);
        DOUT: OUT std_logic_VECTOR(30 downto 0));
END filt;

ARCHITECTURE filt_a OF filt IS
    component wrapped_filt
        port (
            ND: IN std_logic;
            RDY: OUT std_logic;
            CLK: IN std_logic;
            RST: IN std_logic;
            RFD: OUT std_logic;
            DIN: IN std_logic_VECTOR(15 downto 0);
            DOUT: OUT std_logic_VECTOR(30 downto 0));
        end component;
    -- Configuration specified for all wrapped components
    generic map(
        ...
    )
    U0 : wrapped_filt
        port map(
            ...
        );
END filt_a;
```

```
Library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity DemoClipAdder is
    port (
        clk : in std_logic;
        aReset : in std_logic;
        cPortA : in std_logic_vector(15 downto 0);
        cPortB : in std_logic_vector(15 downto 0);
        cAddout : out std_logic_vector(15 downto 0) := (others => '0');
    );
end DemoClipAdder;

architecture rtl of DemoClipAdder is
    begin
        process(aReset, clk) begin
            if(aReset = '1') then
                cAddout <= (others => '0');
            elsif rising_edge(clk) then
                cAddout <= std_logic_vector(signed(cPortA) + signed(cPortB));
            end if;
        end process;
    end rtl;
```



LabVIEW FPGA IPNet

ni.com/ipnet



Matemática

Processamento de Sinais

Transferência e Manipulação de
Dados

RF e Comunicações

Protocolos Digitais

Aquisição de Dados

Geração de Sinais

Controle

Simulação de Sensores

Mais de 100 IPs e exemplos

ni.com

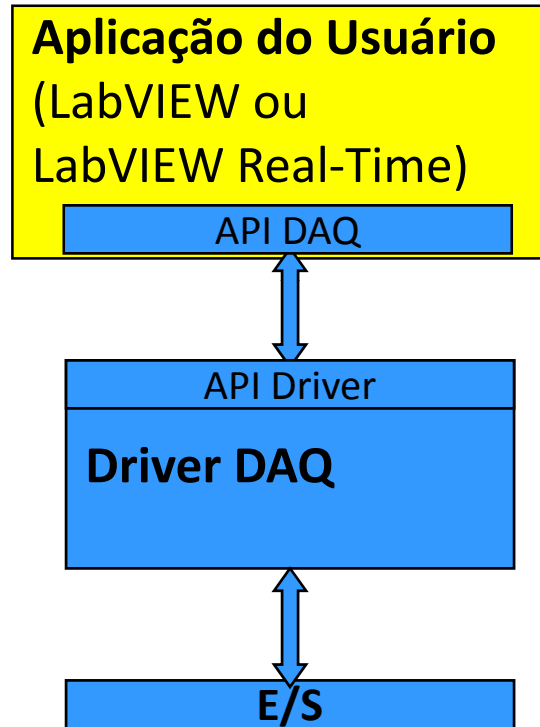


Agenda

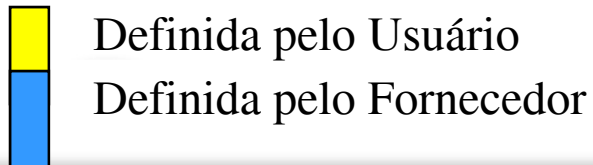
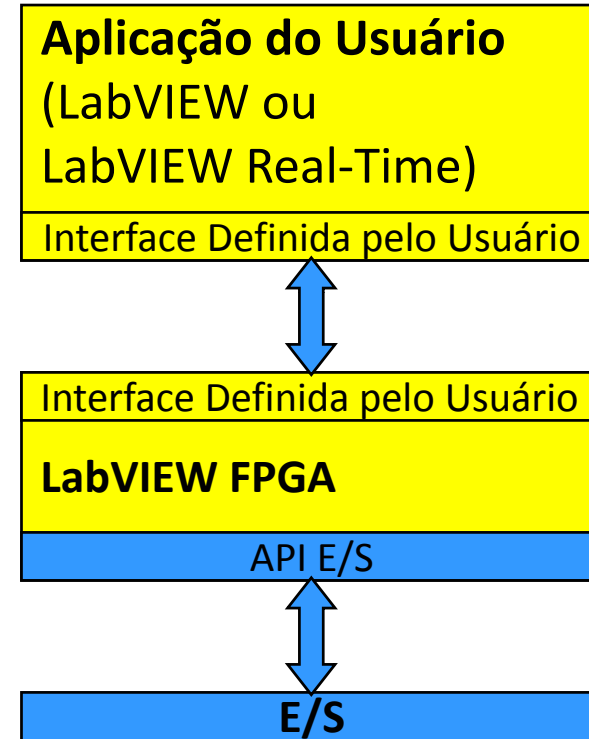
- O que são FPGAs e por que eles são úteis?
- Programando FPGAs
- **Hardware FPGA**
- Aplicações comuns para FPGAs
- Como aprender mais

O Paradigma dos Diferentes Drivers para Aquisição de Dados

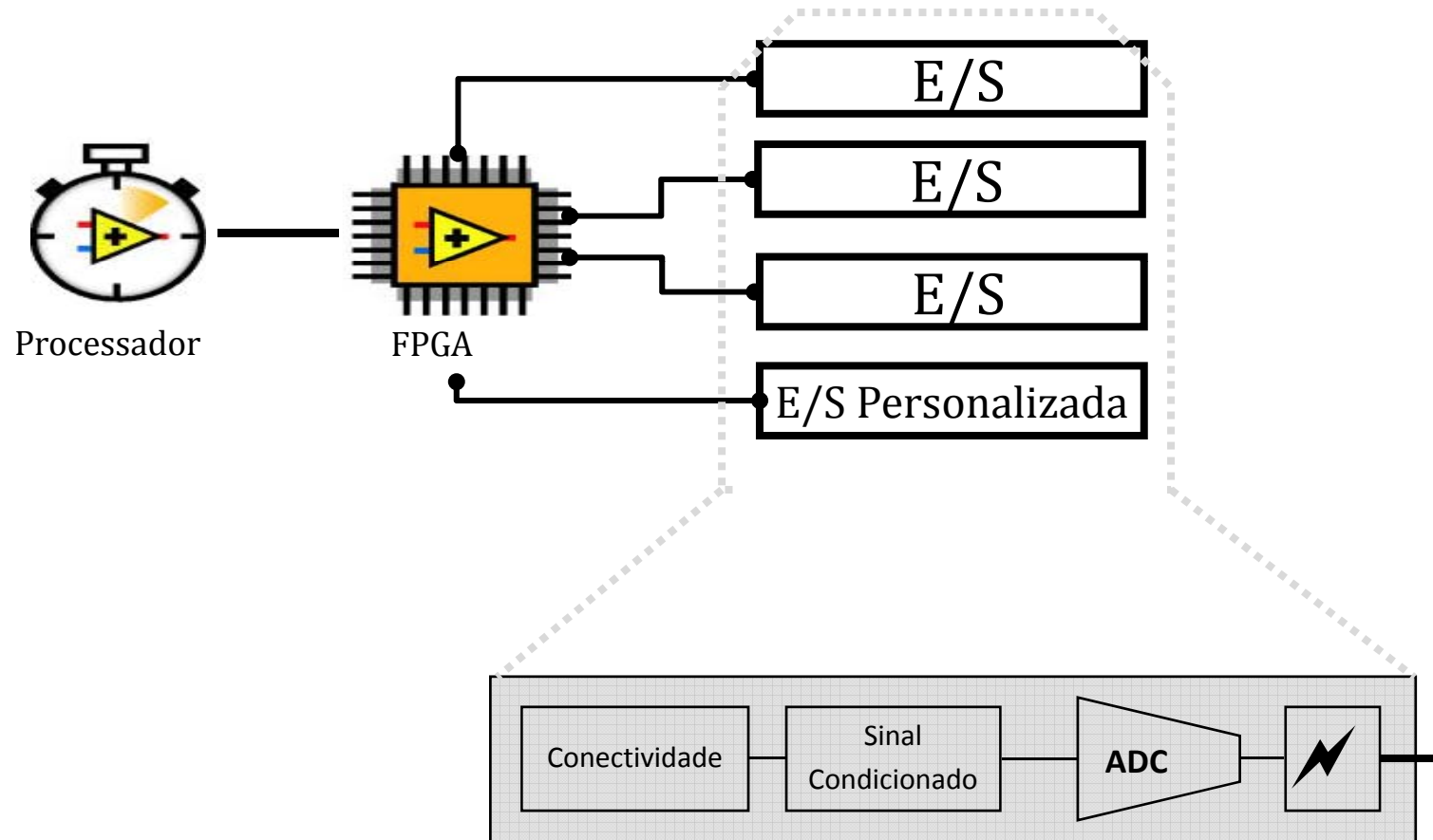
Driver Tradicional DAQ



Driver RIO

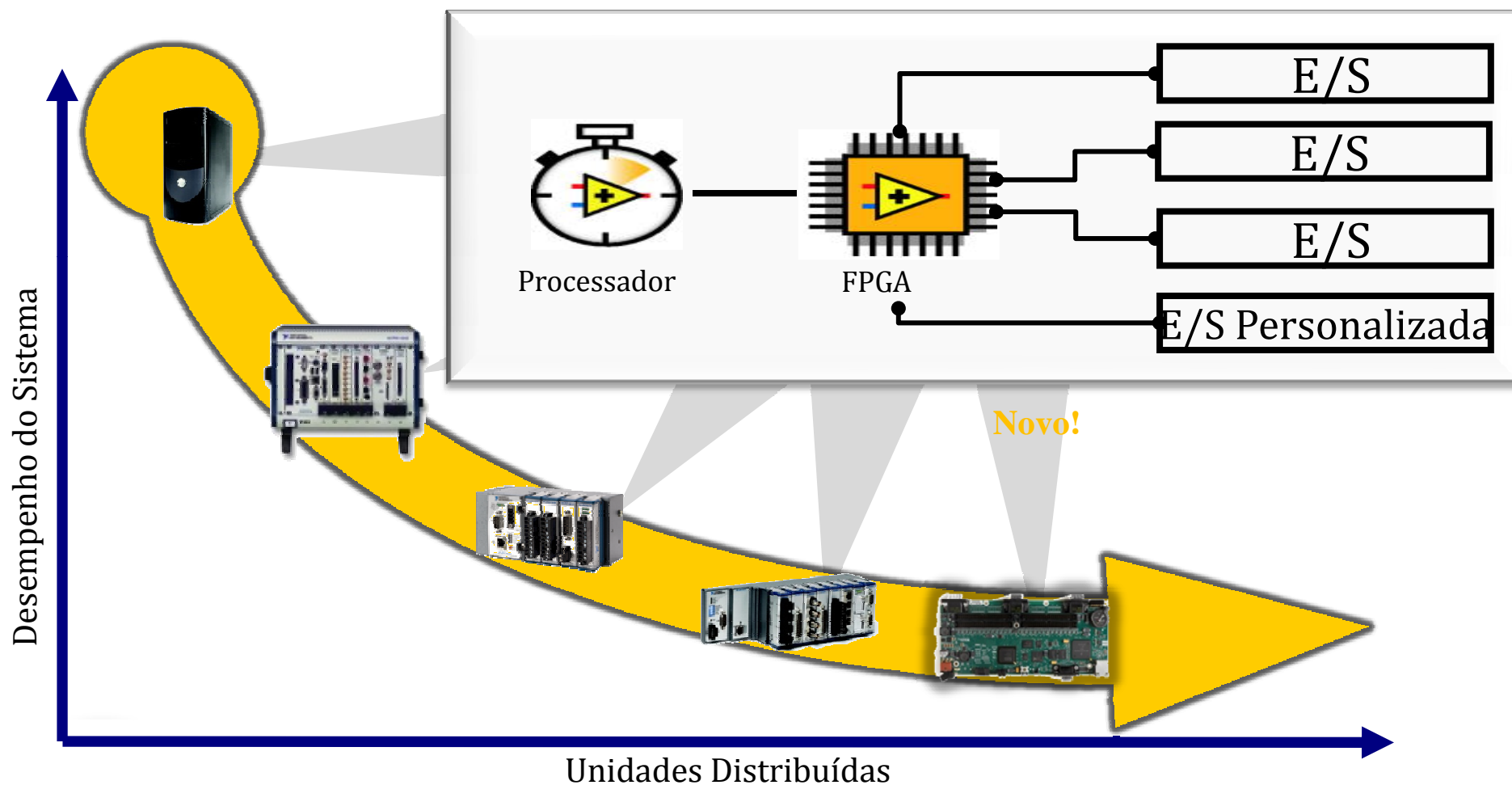


A Arquitetura RIO



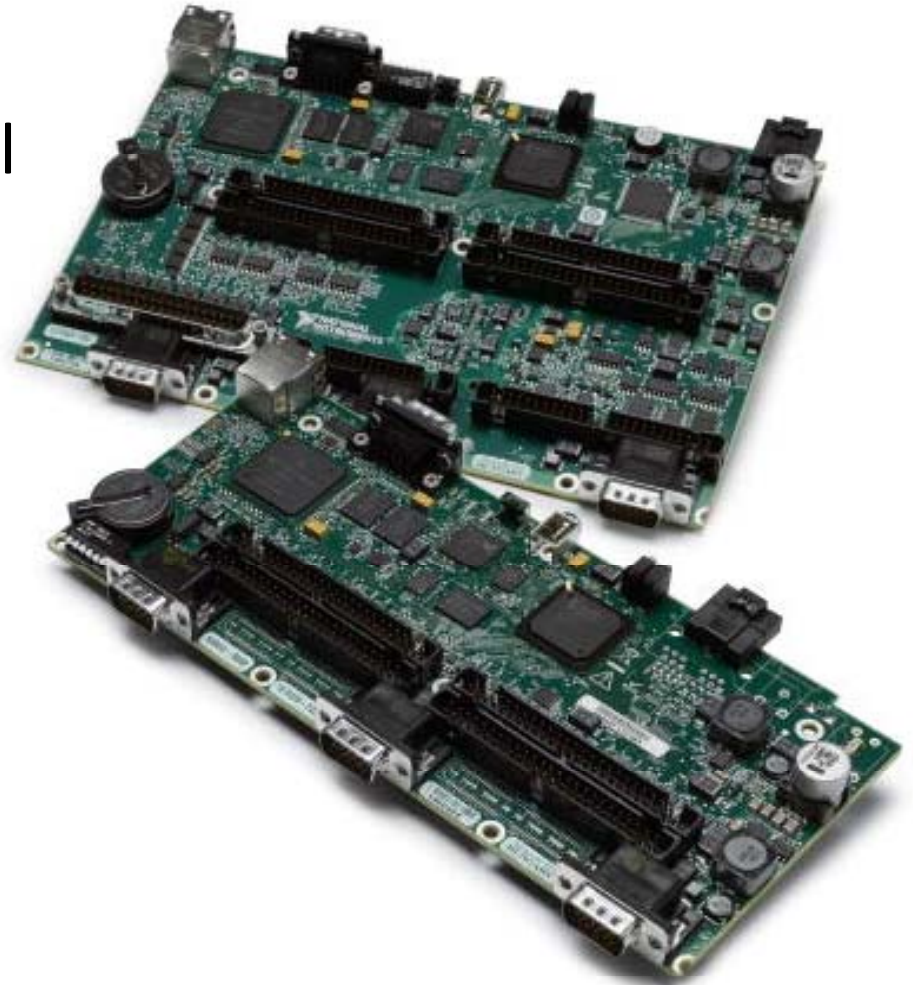
Curva de Distribuição RIO

Arquitetura Embarcada Padrão, Software do Projeto Padrão



Novo Single-Board RIO

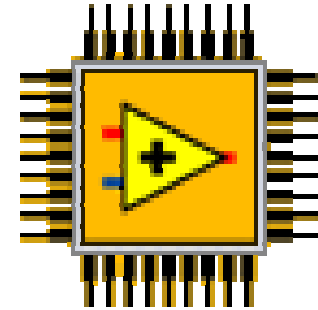
- Processador de Tempo Real
- FPGA Personalizável
- Programável com LabVIEW



Agenda

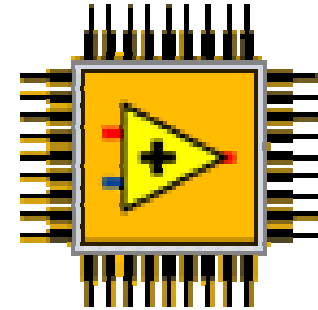
- O que são FPGAs e por que eles são úteis?
- Programando FPGAs
- Hardware FPGA
- **Aplicações comuns para FPGAs**
- Como aprender mais

Aplicações Comuns



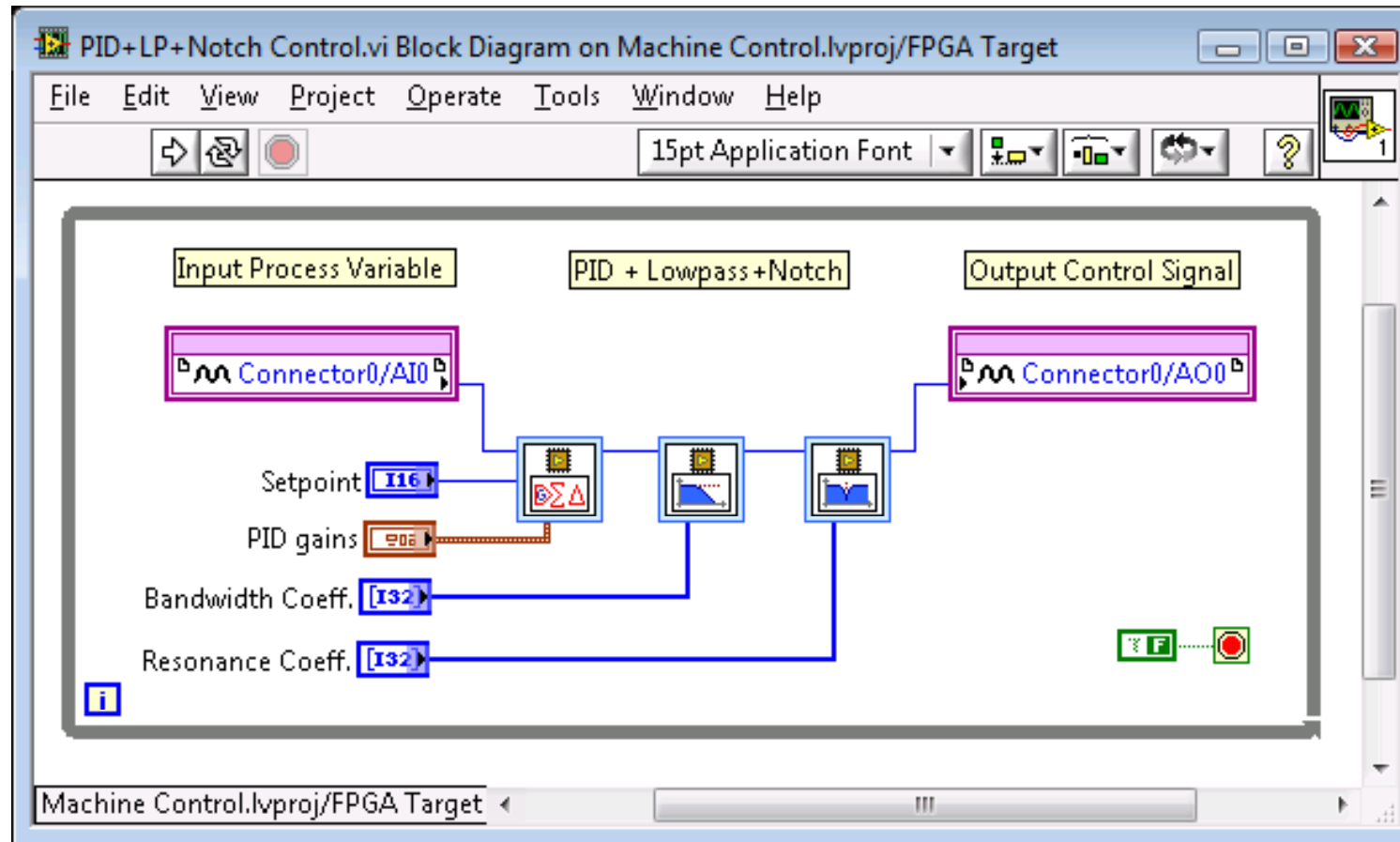
- Controle de alta velocidade
- DAQ inteligente
- Protocolos de comunicação digital
- Simulação de sensores
- Redução de dados e processamento onboard
- Co-processamento

Aplicações Comuns



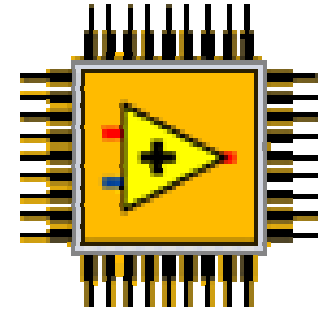
- Controle de alta velocidade
 - DAQ Inteligente
 - Protocolos de comunicação digital
 - Simulação de sensores
 - Redução de dados e processamento onboard
 - Co-processamento

Controle de Alta Velocidade



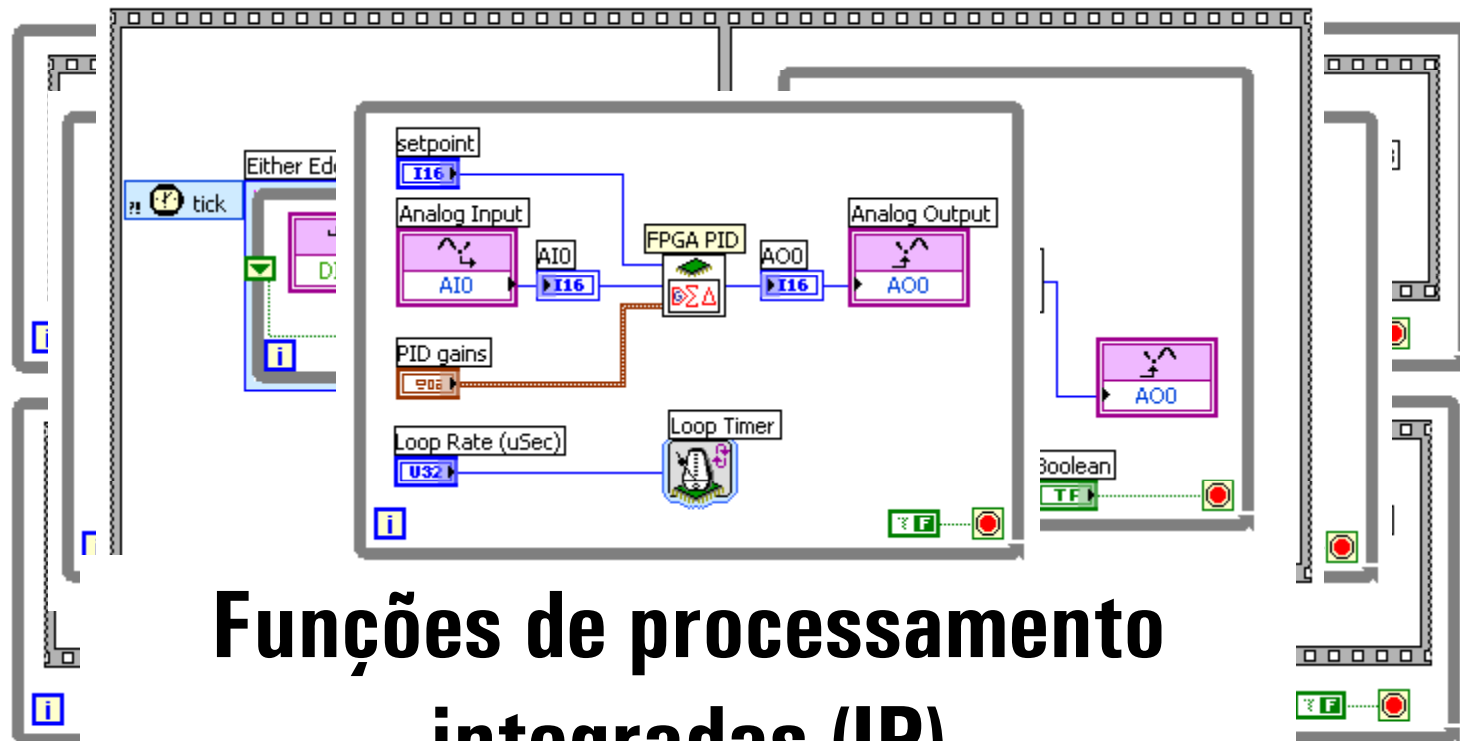
Por volta de 200 kHz de taxa

Aplicações Comuns

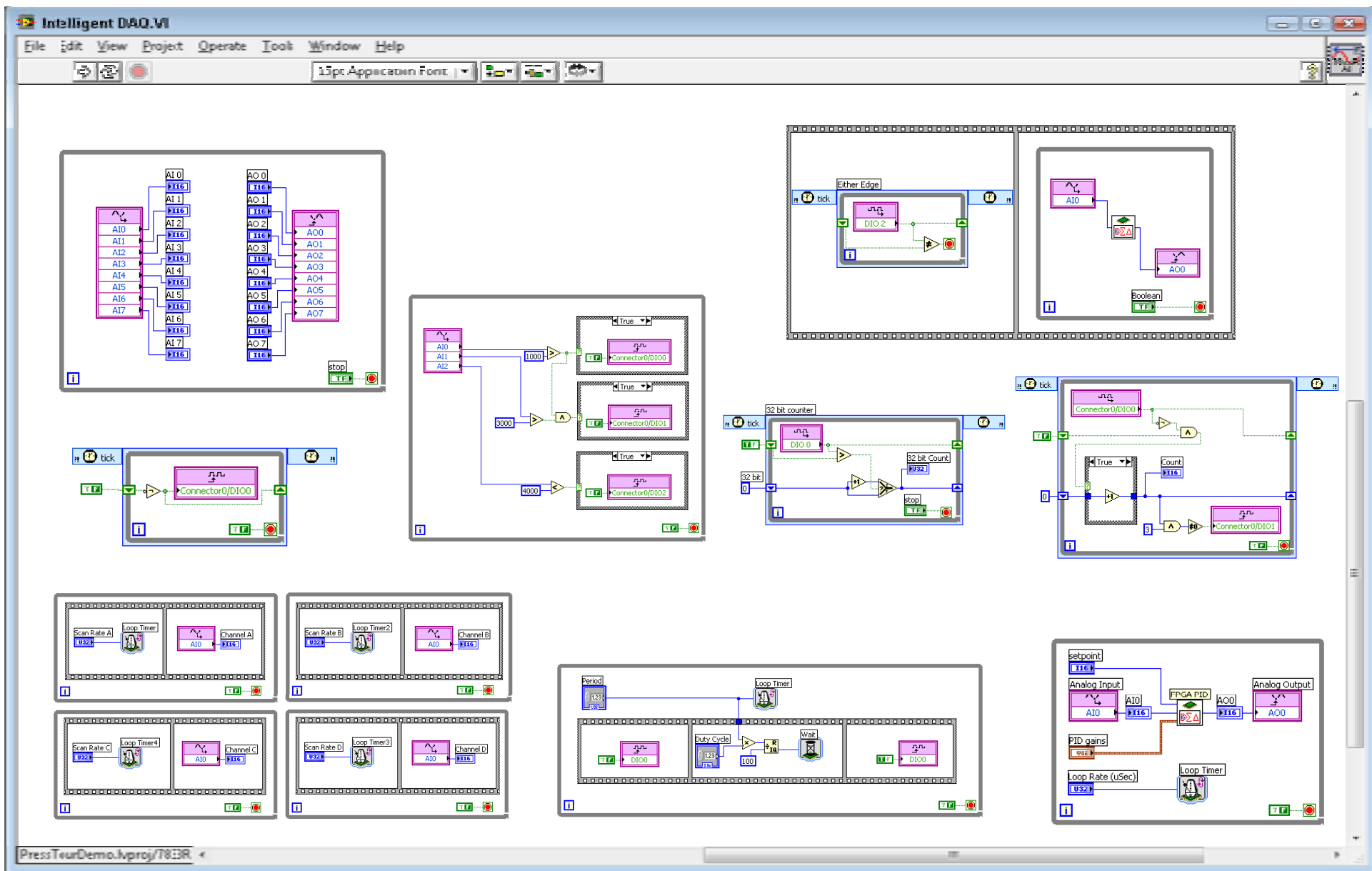


- Controle de alta velocidade
- **DAQ Inteligente**
- Protocolos de comunicação digital
- Simulação de sensores
- Redução de dados e processamento onboard
- Co-processamento

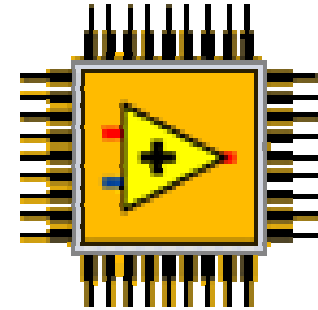
Aquisição de Dados Inteligente



**Funções de processamento
integradas (IP)**
Trigger analógico personalizado



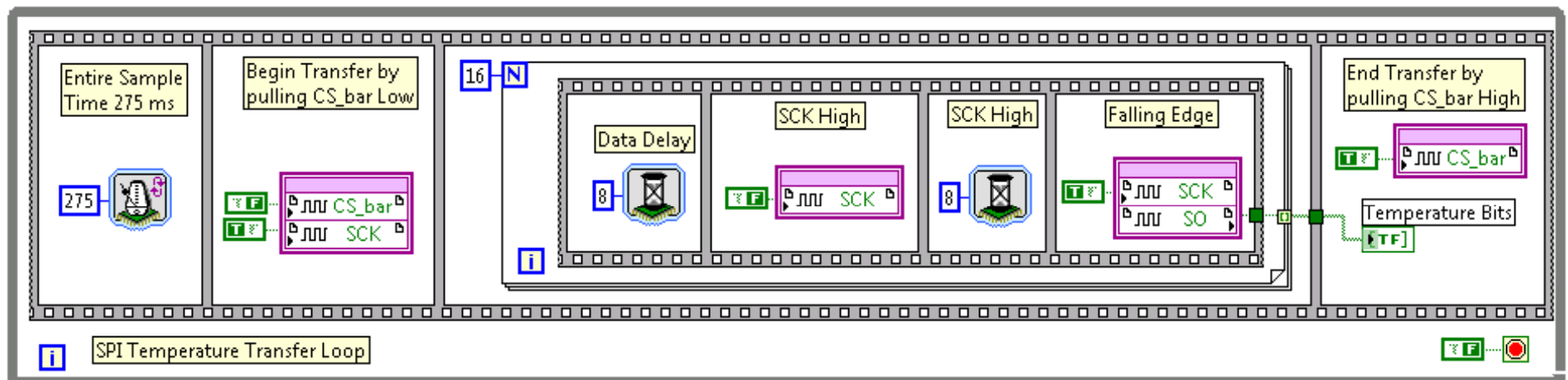
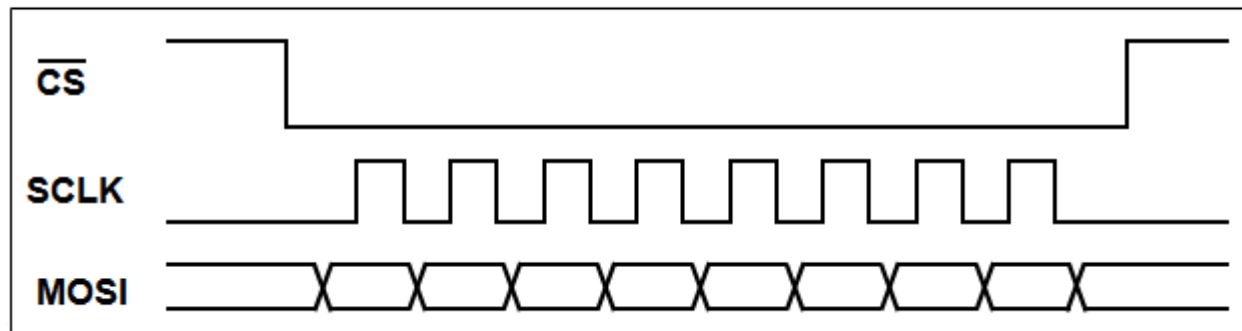
Aplicações Comuns



- Controle de alta velocidade
- DAQ Inteligente
- **Protocolos de comunicação digital**
- Simulação de sensores
- Redução de dados e processamento onboard
- Co-processamento

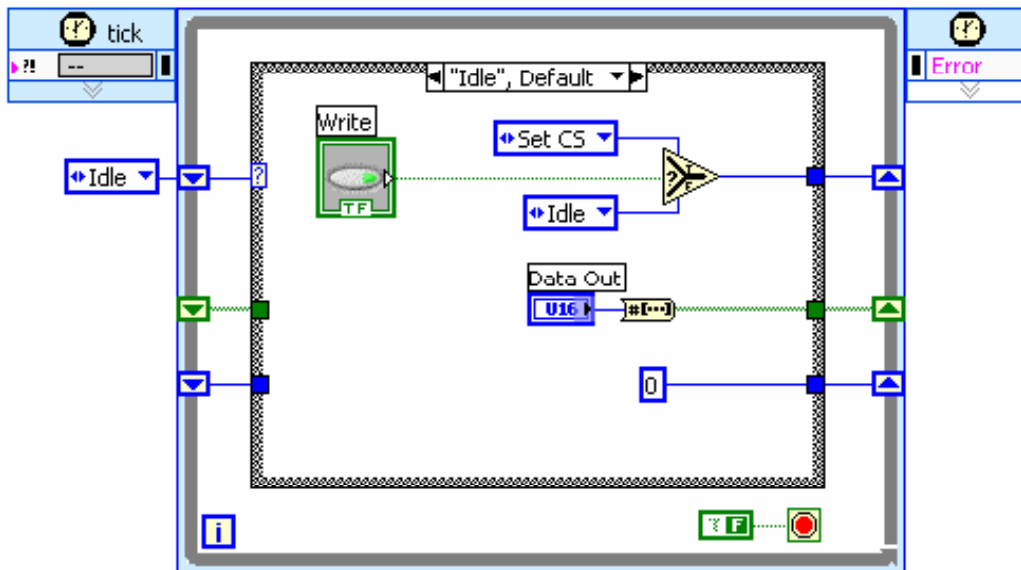
Comunicação Digital

Exemplo – SPI

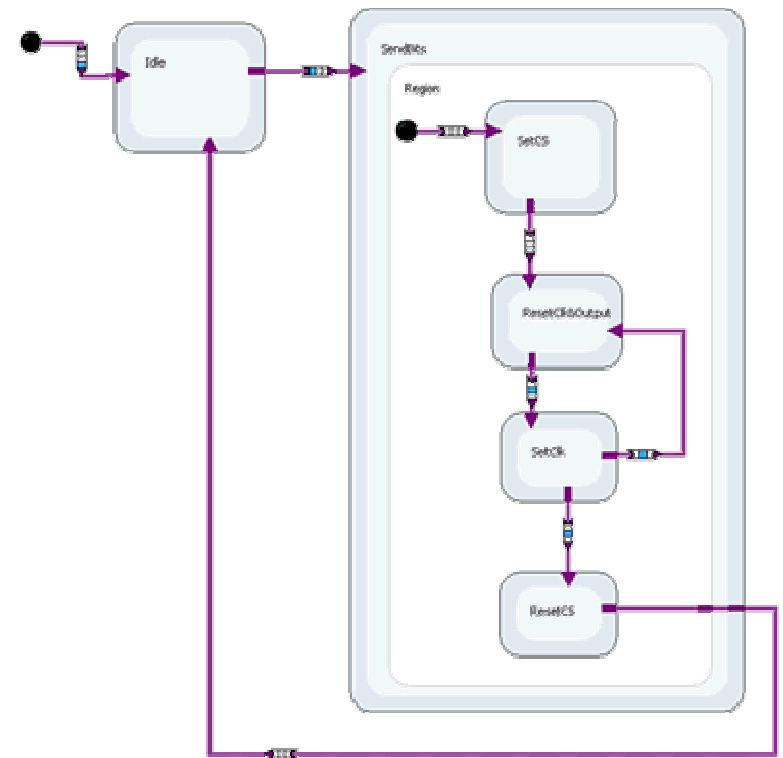


Exemplo – SPI

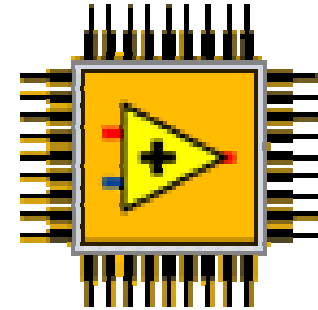
Máquina de Estados LabVIEW



LabVIEW Statecharts



Aplicações Comuns



- Contrle de alta velocidade
- DAQ Inteligente
- Protocolo de comunicação digital
- **Simulação de Sensores**
- Redução de dados e processamento onboard
- Co-processamento

Simulação de Sensores e FPGA

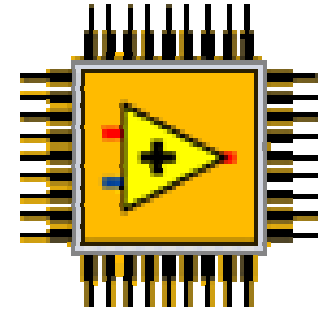
- Hardware totalmente personalizável – Vários tipos de sensores
- Paralelismo – Muitos sensores no chip sem interferência
- Requisitos de temporização estritos – Determinístico ou altamente realista
- Processamento onboard – Unidades de engenharia para sinais de sensores



Sinais de Sensores



Aplicações Comuns



- Controle de alta velocidade
- DAQ inteligente
- Protocolos de comunicação digital
- Simulador de sensor
- **Redução de dados e processamento**
- Co-processamento

Processamento Onboard e Redução de Dados

E/S já Inclusas

- Tensão analógica
- Comunicações digitais
- Sinais de sensores

Entrada

Processamento

- Codificação/Decodificação
- filtragem/Média
- Modulação/demodulação
- Dizimação
- Processamento de transmissão de dados

Processamento

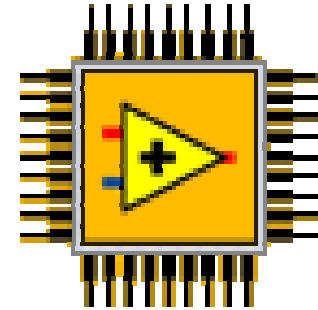
Saída

- Dado reprocessado DMA
- Transmissão de dados de entrada para saída sem envolvimento do host

DMA para Host

Saída

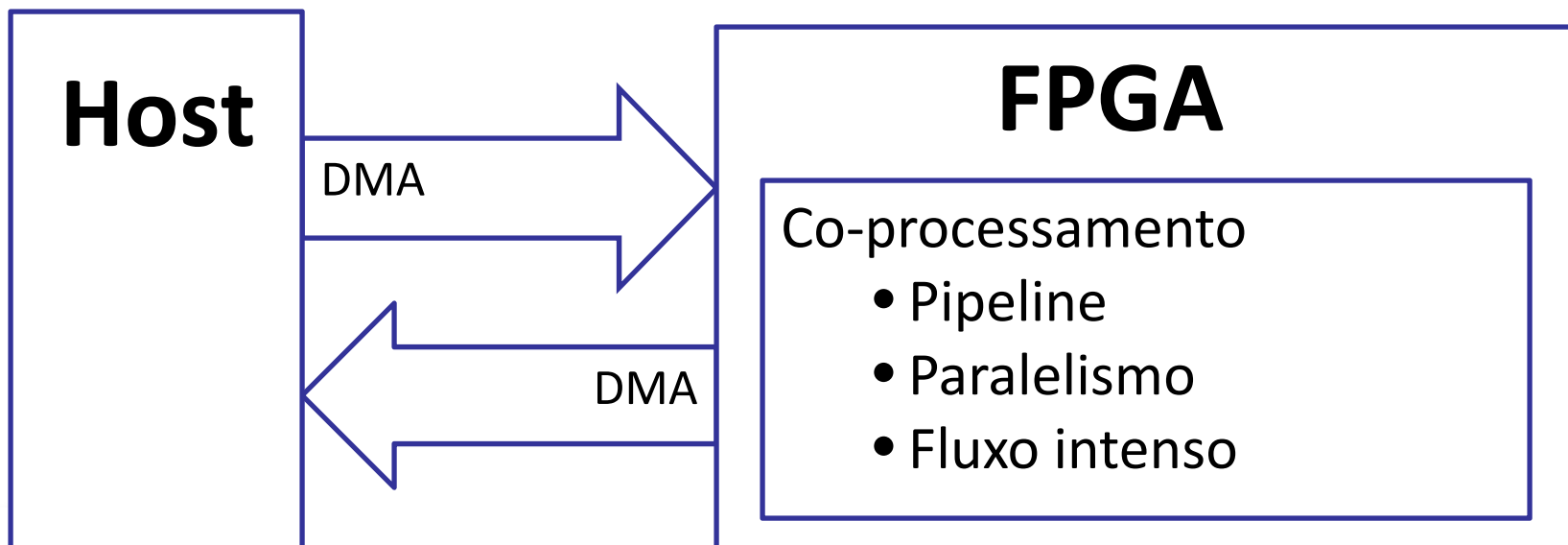
Aplicações Comuns



- Controle de alta velocidade
- DAQ inteligente
- Protocolos de comunicação digital
- Simulador de sensores
- Redução de dados e processamento
- Co-processamento

Co-processamento FPGA

Um método para completar as funções do processador primário é diminuir as tarefas intensivas do processador. O coprocessamento do FPGA é útil especialmente para tarefas que possam aproveitar as vantagens do paralelismo do FPGA e das técnicas de pipelines.



Agenda

- O que são FPGAs e por que eles são úteis?
- Programando FPGAs
- Hardware FPGA
- Aplicações comuns para FPGAs
- **Como aprender mais**

Como aprender mais

ni.com/fpga

ni.com/embeddedeval



Obrigado!

Não esqueça de preencher a avaliação.

Para mais informações acesse ni.com ou
ligue para (11) 3149-3149

