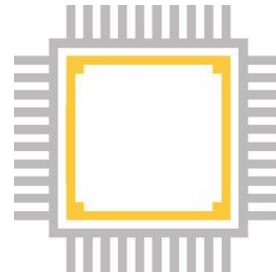




O que há de novo no LabVIEW Real-Time e LabVIEW FPGA

Vá do design a implementação mais rapidamente



Filipe Sacchi da Silva

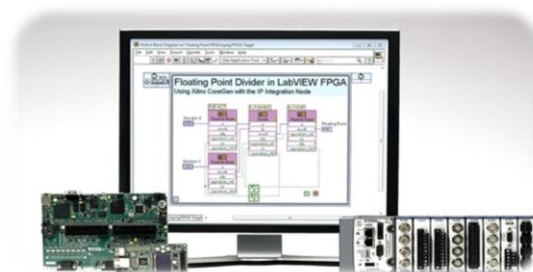
Engenheiro de Aplicações em Campo

Plínio Costa

Engenheiro de Aplicações

Agenda

- Suportando desenvolvedores com aceleração de projeto e desenvolvimento
- Executar algoritmos complexos diretamente nos FPGAs
- Criar IP FPGA de alto desempenho e com recurso eficientes
- Melhorias para aplicações de alto desempenho e compilações mais rápidas
- Melhor experiência em configuração de sistema para múltiplas implementações



Suportando projetos embarcados através de software de projetos de sistemas integrado

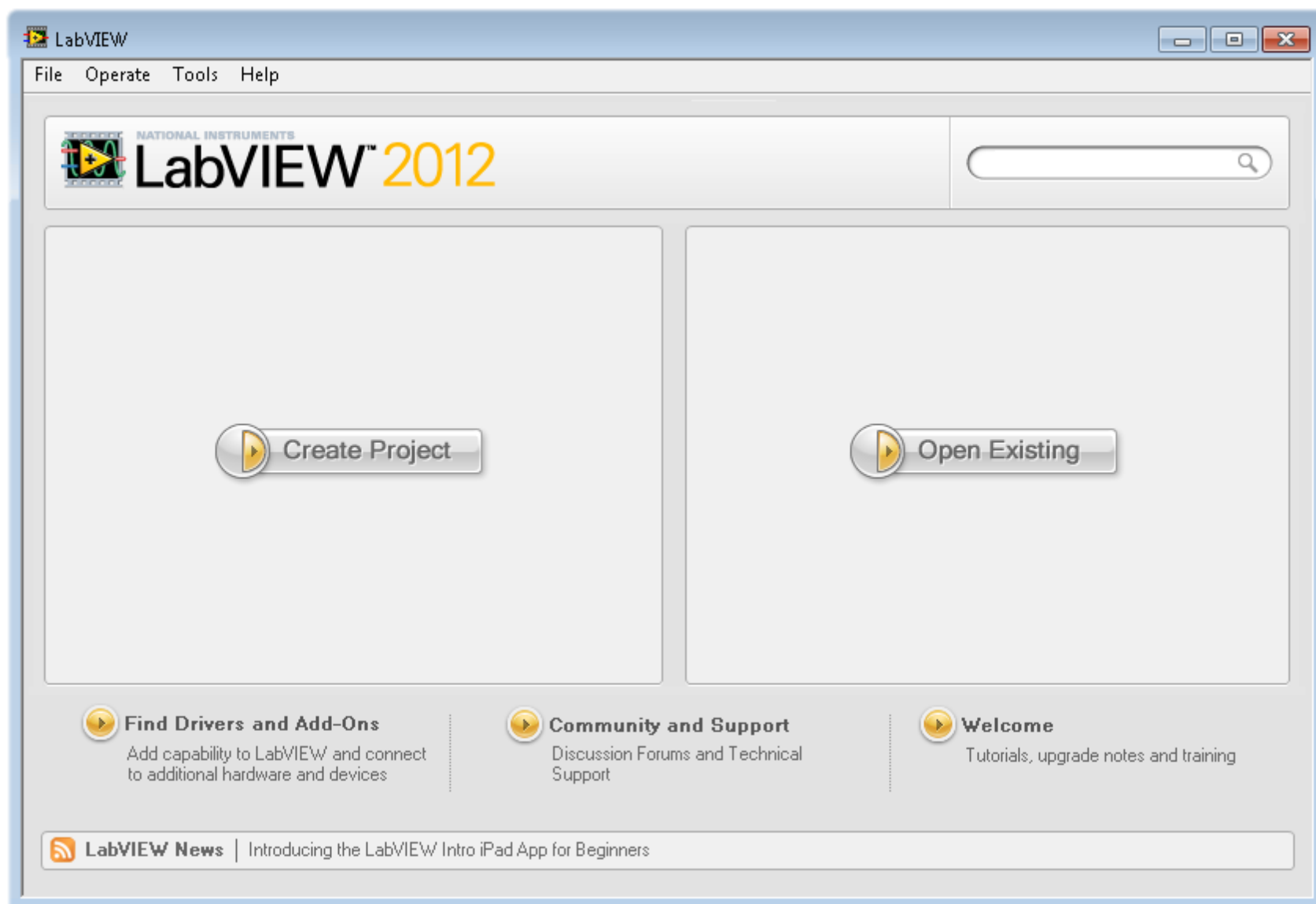


Interface de comunicação

Processamento de elementos

Sistema E/S

Software de projeto de sistema integrado



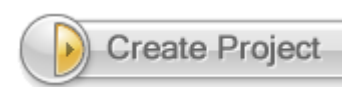
Experiência melhorada do Getting Started Projects e Templates

Real-Time & FPGA

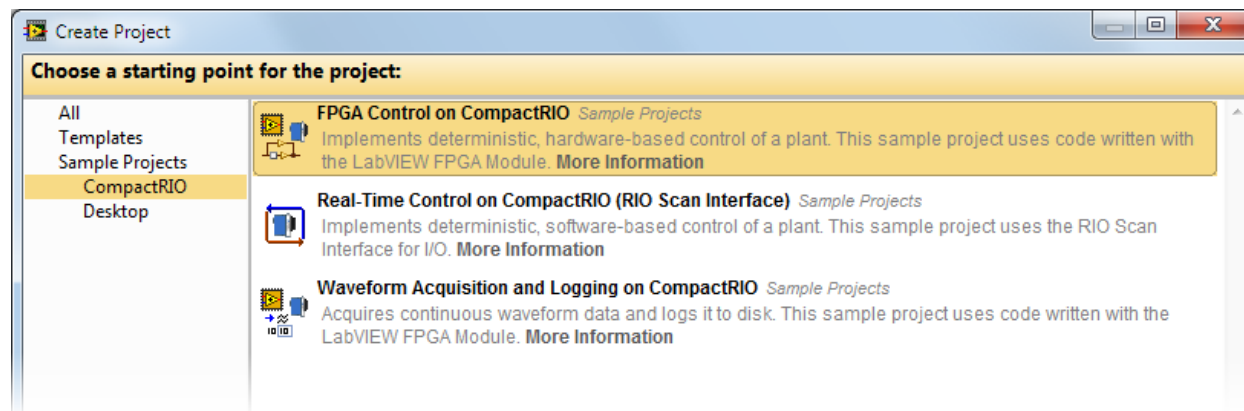


- LabVIEW FPGA Control
- LabVIEW Real-Time Control
- LabVIEW FPGA Waveform Acquisition and Logging

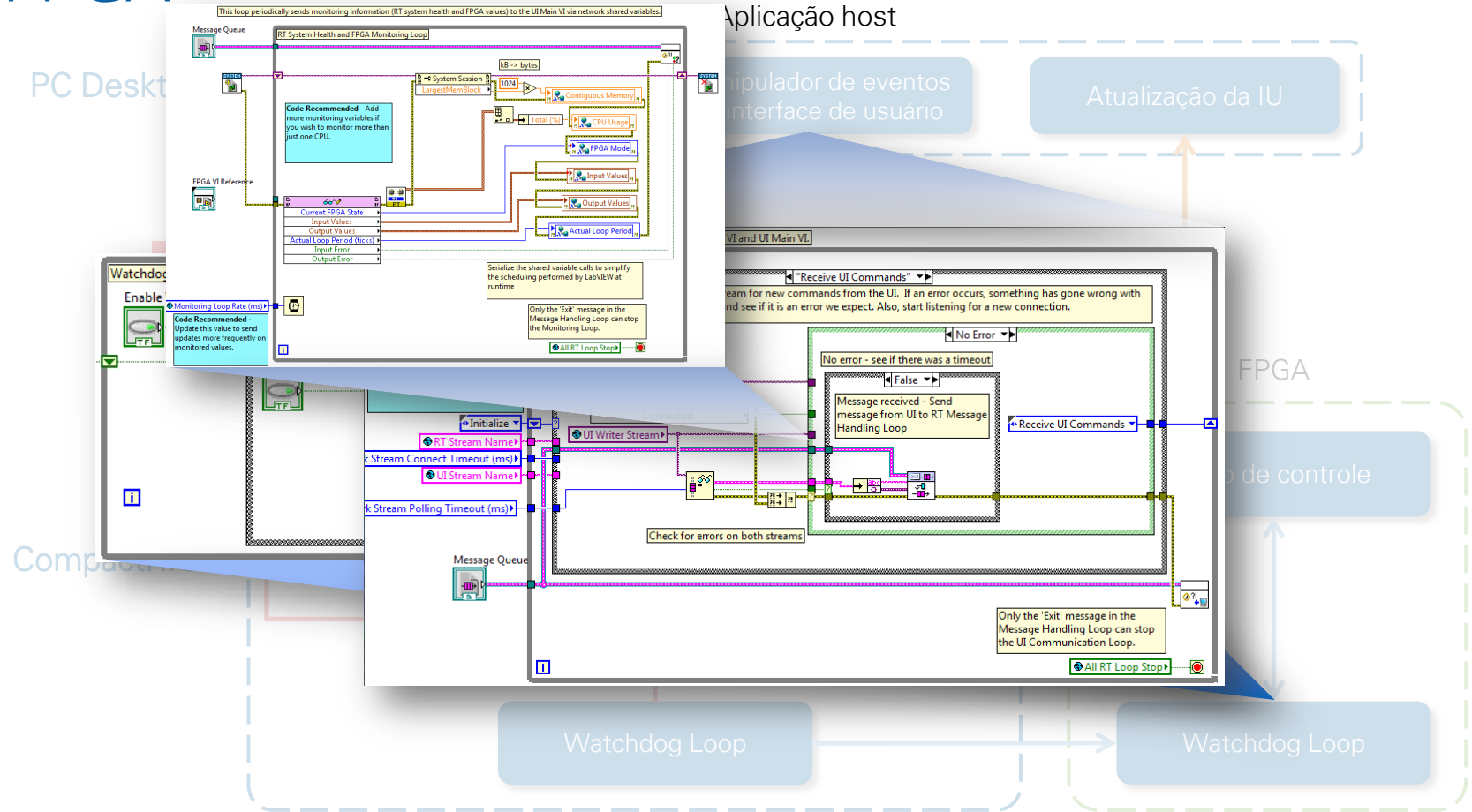
Real-Time DAQ



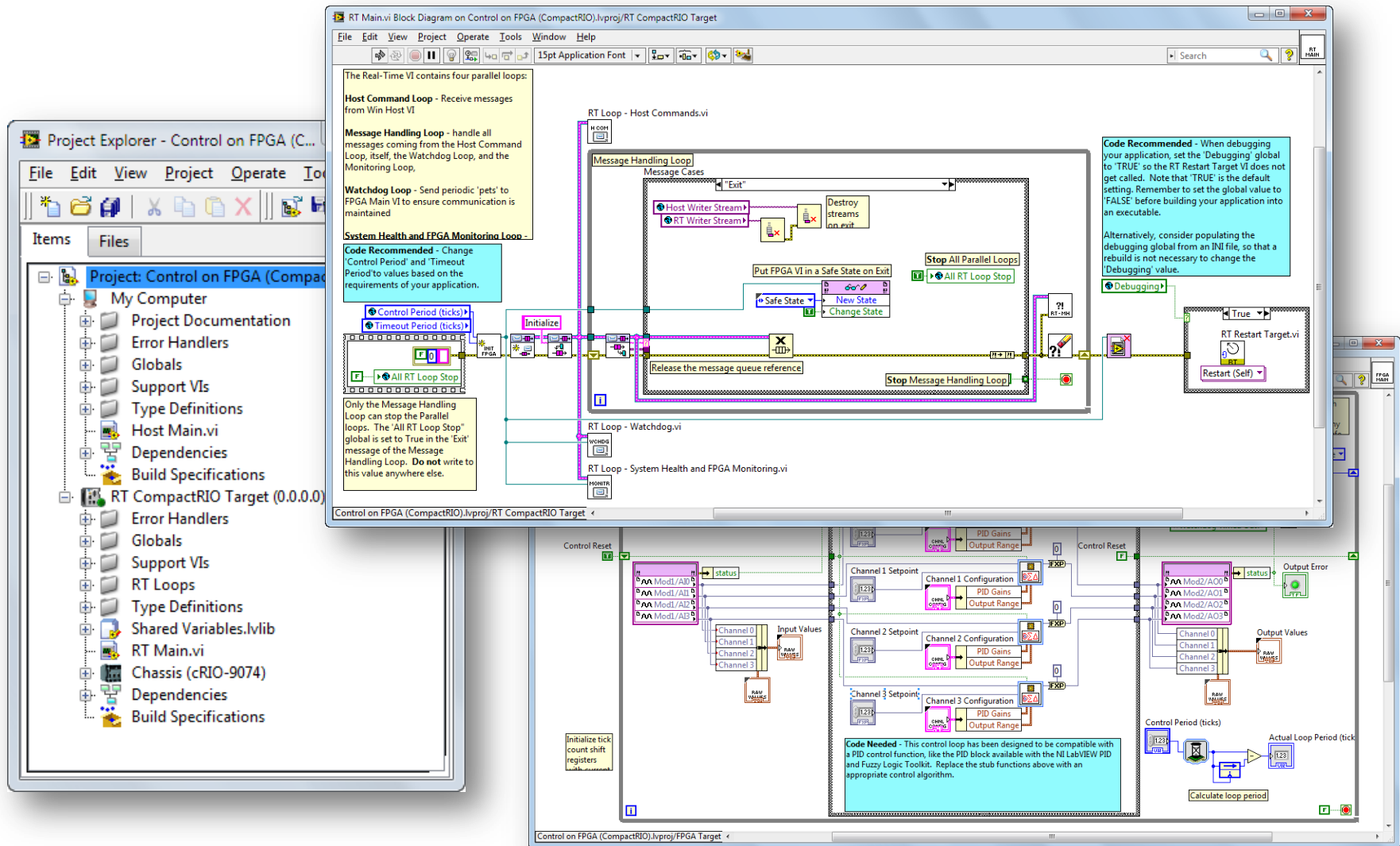
- LabVIEW Real-Time Control (NI-DAQmx)
- LabVIEW Real-Time Waveform Acquisition and Logging (NI-DAQmx)



Exemplo de projeto de controle com LabVIEW FPGA



Proporciona uma recomendação de ponto de partida usando uma arquitetura escalável



DEMO: Sample Project e Templates do LabVIEW RIO

Suporte ao tipo de dados de floating point do LabVIEW FPGA

Tipos de dados

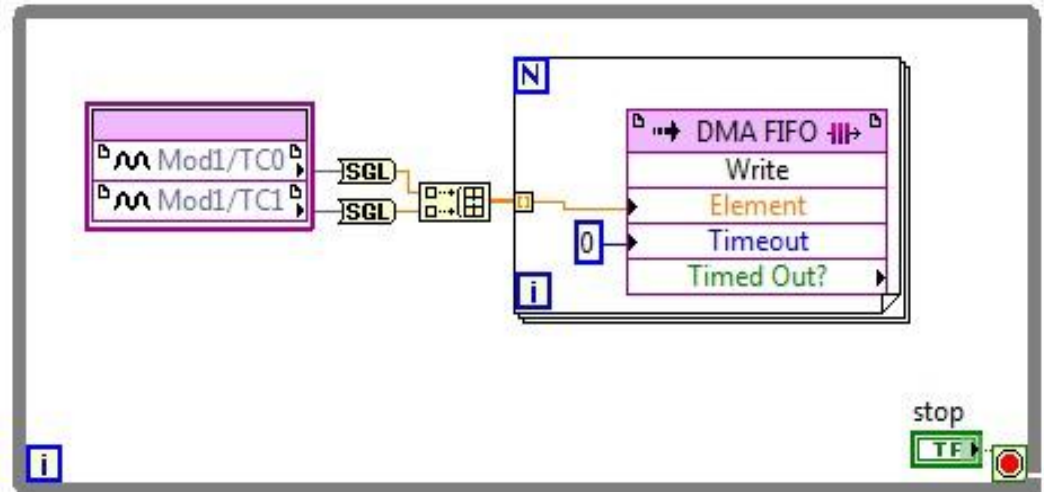
- SGL
- Constantes Float Palette

Interfaces FPGA

- FIFO
- Memória
- Registro
- Variáveis

Nós

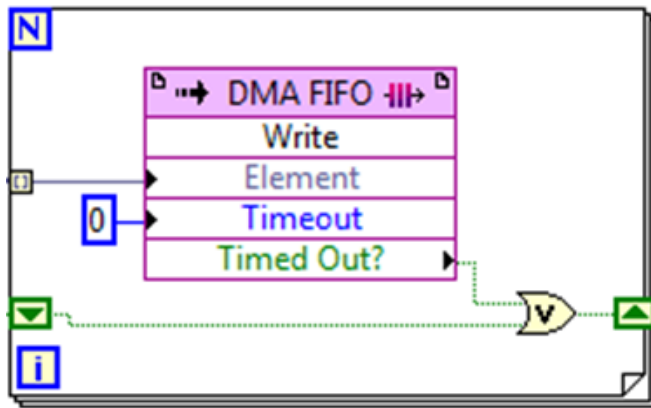
- Xilinx Coregen IP
- Nó de integração de IP



**Suporta a maioria das funções for a do SCTL.
Usa mais recursos que o FXP e requer mais ciclos de clock para completar uma operação.

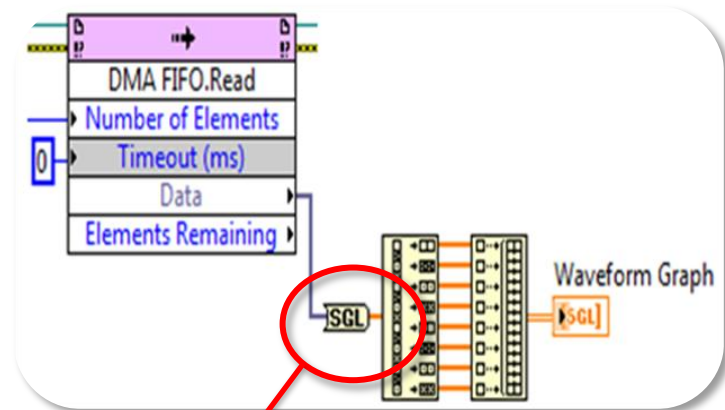
Comunicação DMA de ponto fixo

Enviando dados de Fixed-Point para o host através da FIFO DMA



VI FPGA

Host requer conversão de tipo

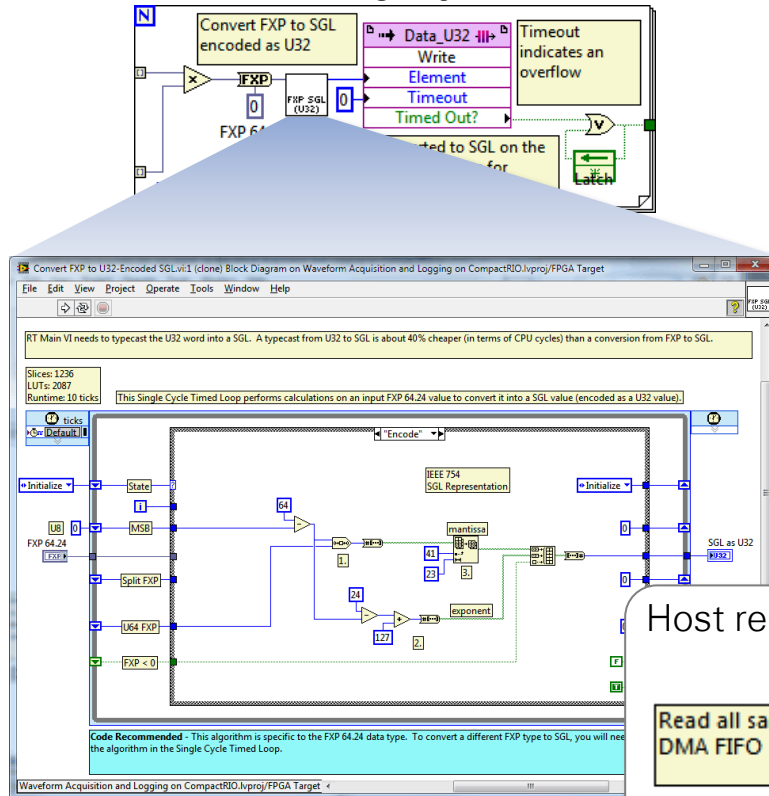


VI Real-Time

Conversão direta à Single Precision Floating-Point no VI Real-Time demanda velocidade. Pode reduzir o desempenho em até 40%.

Suporte ao tipo de dados de ponto flutuante do LabVIEW FPGA

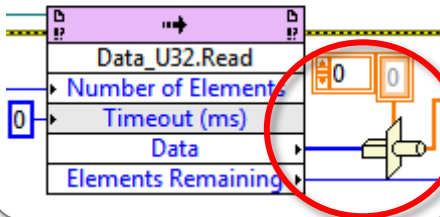
Enviando dados de Fixed-Point para o host como Single Precision Floating-Point



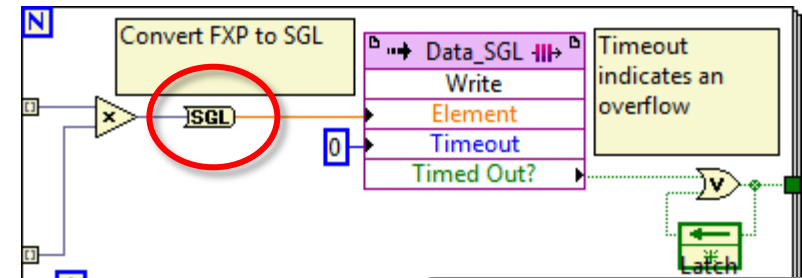
Código subVI requerido para conversão de tipo

Host requer conversão de tipo

Read all samples from the DMA FIFO

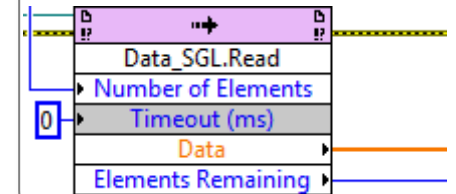


A mesma conversão no LabVIEW FPGA 2012

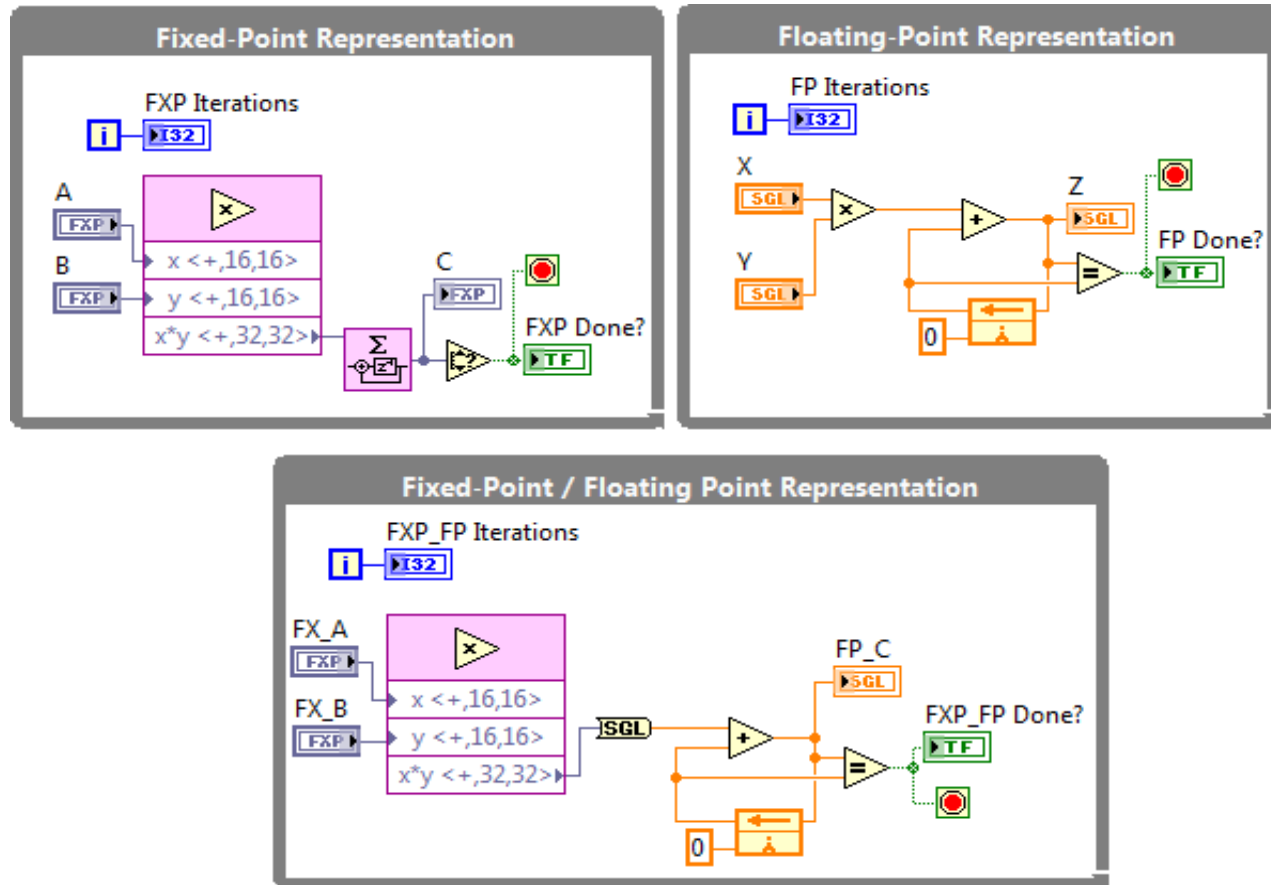


Não requer conversão de host

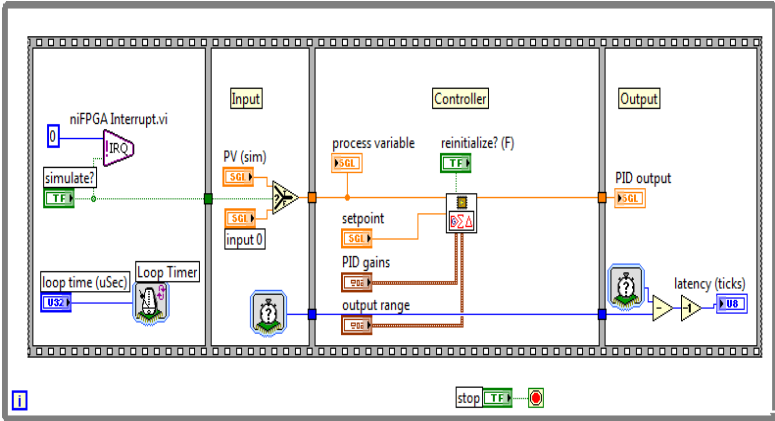
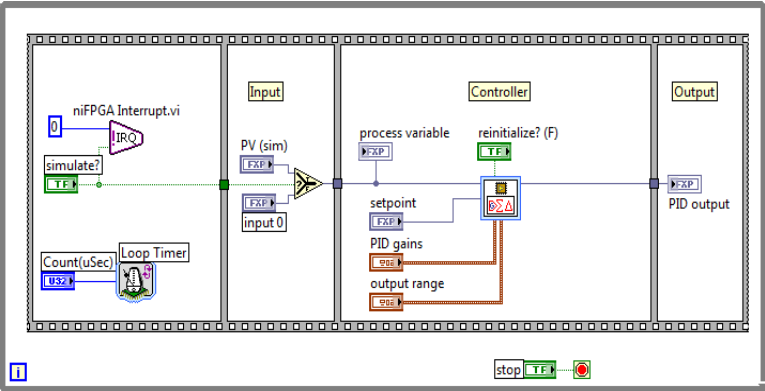
Read all samples from the DMA FIFO



Misturando Tipos de Dados



Benchmarking – NI PXI 7854R – Virtex-5



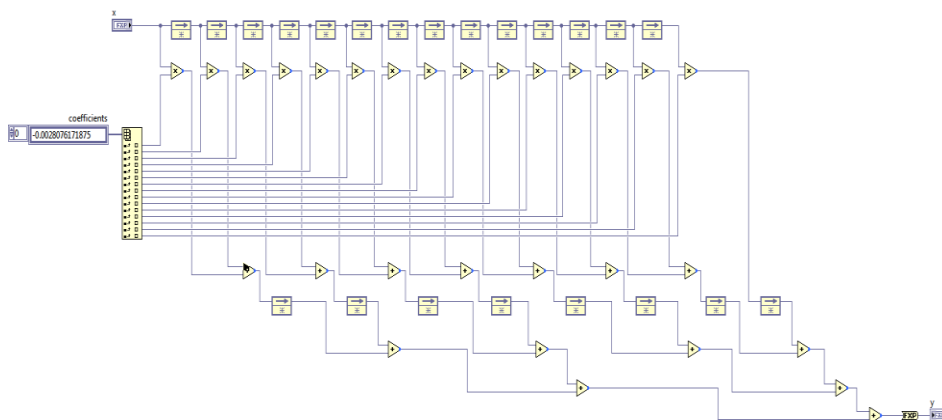
	Total	Used		Percent	
		FXP	FP	FXP	FP
Total Slices	17280	760	2585	4.4	15
Slice Registers	69120	1418	4162	2.1	6
Slice LUTs	69120	1510	6275	2.2	9.1

DEMO: Misturando Single Precision Floating-Point e tipos de dado Fixed-Point

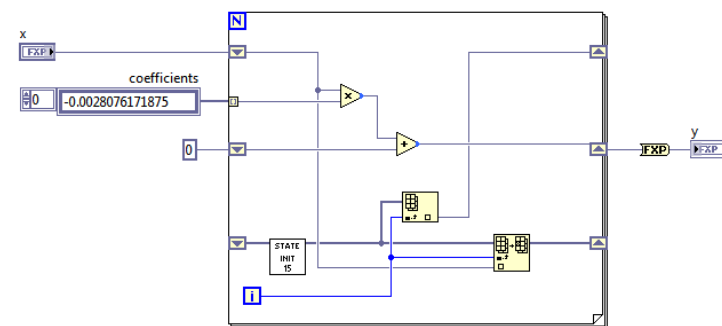
LabVIEW FPGA IP Builder

Ferramenta Add-on para o LabVIEW FPGA

- Desenvolva rapidamente algoritmos de alto desempenho para FPGAs
- Explore rapidamente a troca de projetos utilizando diretivas
- Reutilize IP para conhecer novos requisitos de projeto

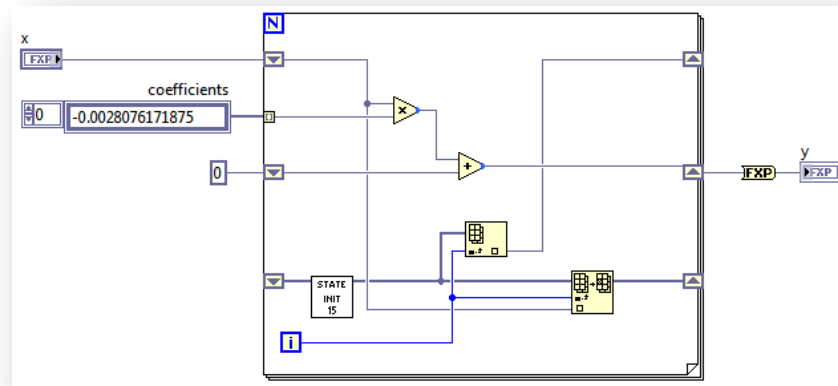
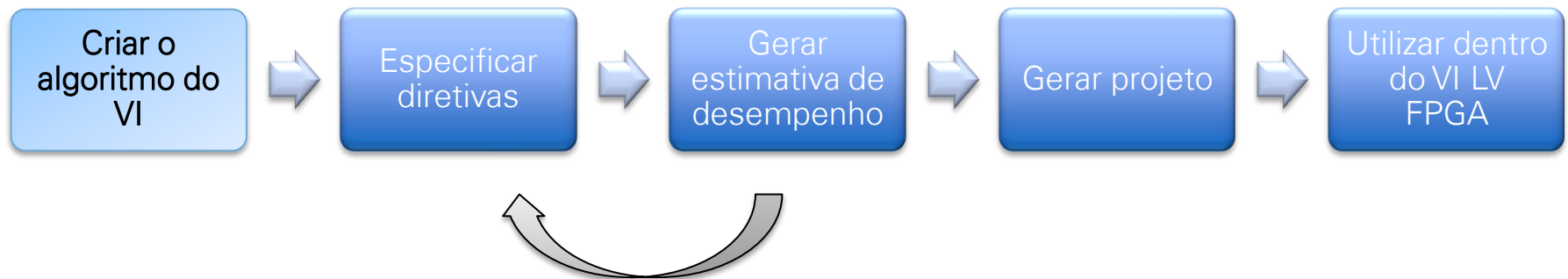


Otimização manual requerida



Otimização utilizando síntese de alto nível

Fluxo de usuário LabVIEW FPGA IP Builder



- Utilize programação de fluxo de dados
- Paleta de funções limitada

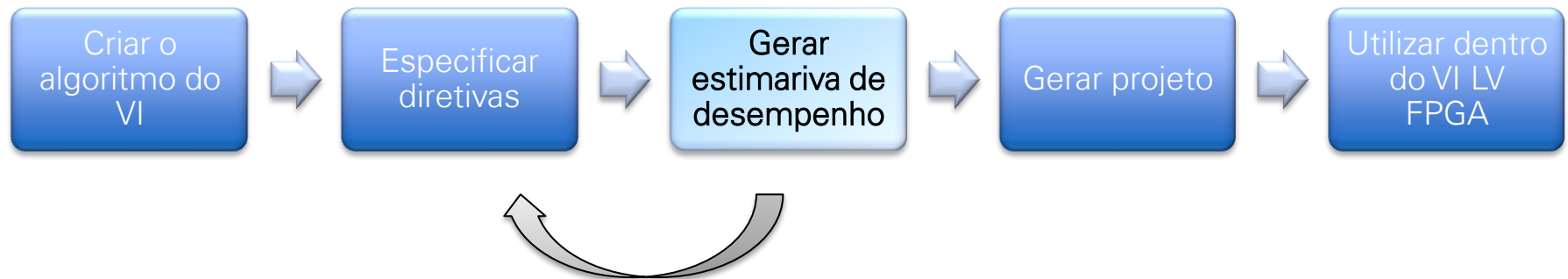
Fluxo de usuário LabVIEW FPGA IP Builder



A stack of four 'Directives' dialog boxes, with the top one in focus. Each dialog box has a 'Directives' column with checkboxes and a 'Value' column. The top dialog box shows the following settings:

Directives	Value
<input checked="" type="checkbox"/> Clock rate (MHz)	40.00
<input checked="" type="checkbox"/> Share multipliers	True
<input checked="" type="checkbox"/> Pipeline initiation interval	160
<input type="checkbox"/> Minimum latency	
<input type="checkbox"/> Maximum latency	
<input type="checkbox"/> Inline subVIs	
<input type="checkbox"/> Inline recursively	

Fluxo de usuário LabVIEW FPGA IP Builder

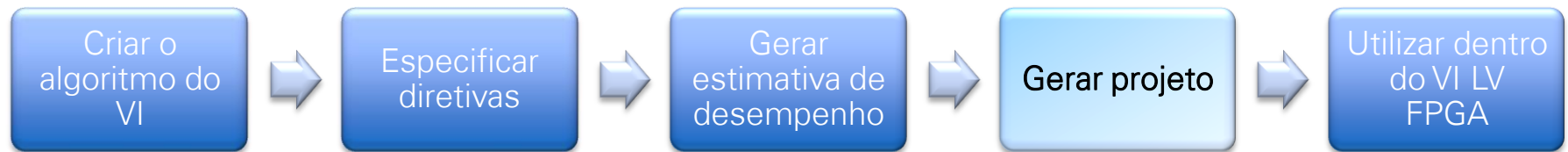


Reports

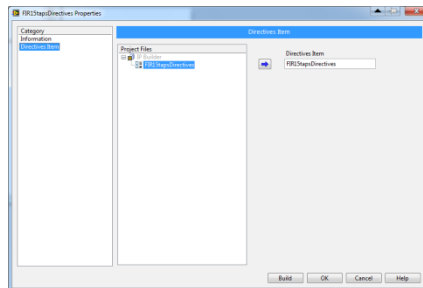
Estimated performance ▼

Type	Requested	Estimated
[-] FIR15taps_FXP.vi (Top-level VI)		
Clock rate (MHz)	200.00	274.73
Throughput (cycles/sample)		1
Minimum latency		5
Average latency		5
Maximum latency		5
Pipeline initiation interval	1	1
Pipeline depth		6

Fluxo de usuário LabVIEW FPGA IP Builder



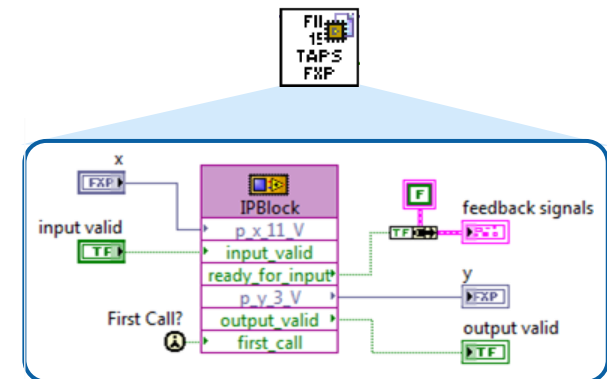
*Escolha o VI e as
Diretivas*



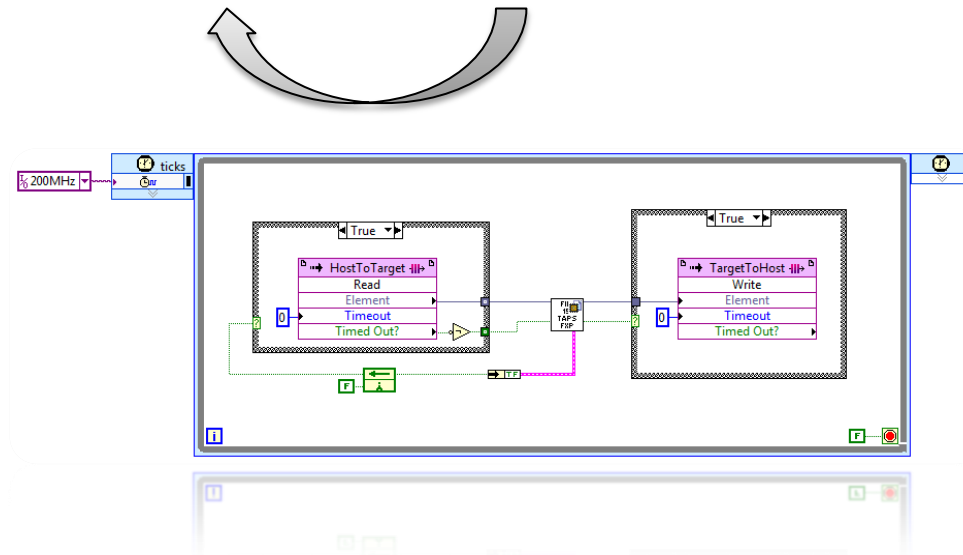
Gerar HDL



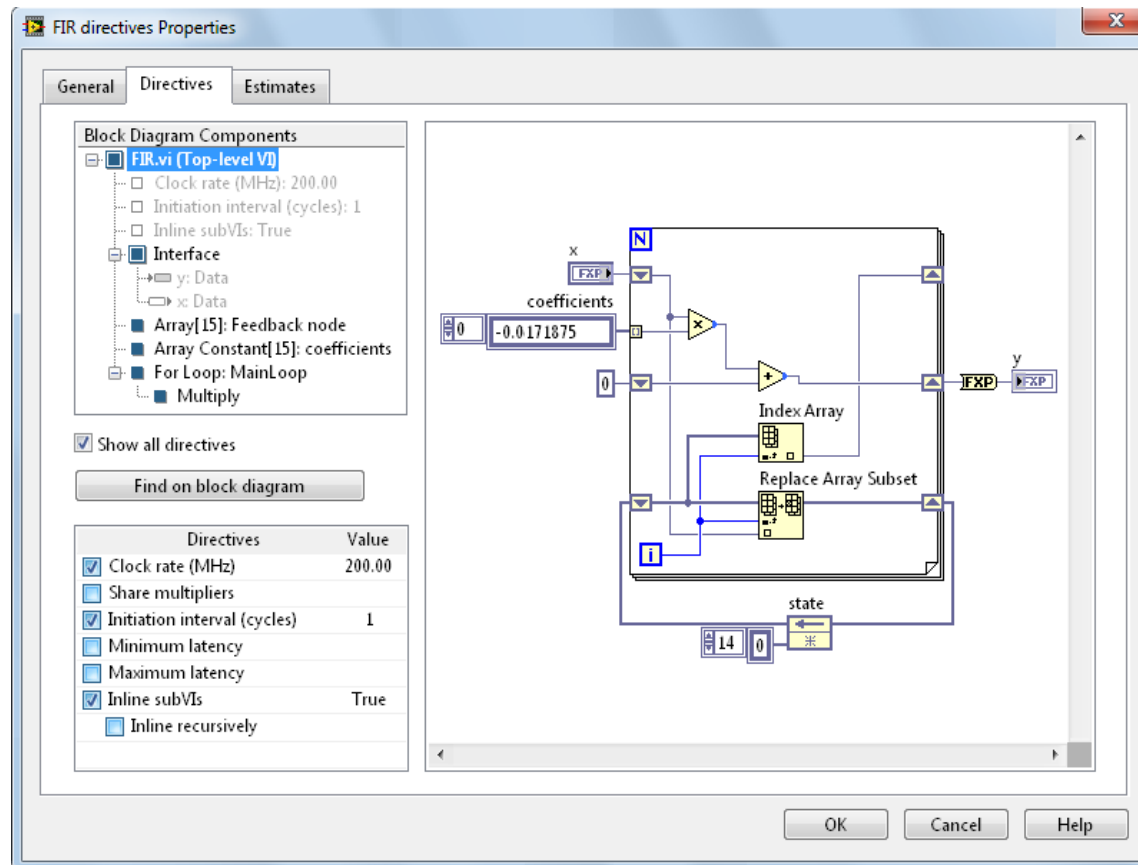
Criar VI IP



Fluxo de usuário LabVIEW FPGA IP Builder



- Integração em Single-Cycle Timed Loop
- Adicione I/O, DMA FIFOs, Comunicação de Host.

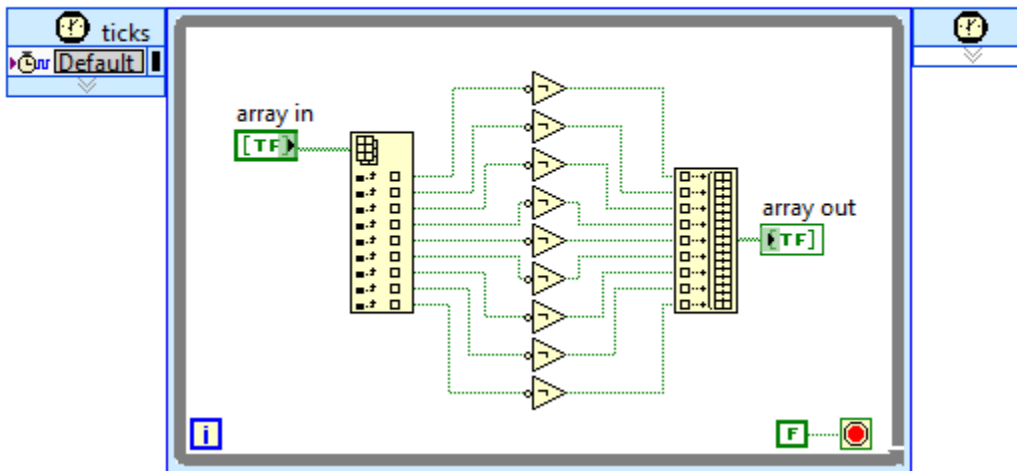


DEMO: Introdução ao LabVIEW FPGA IP Builder

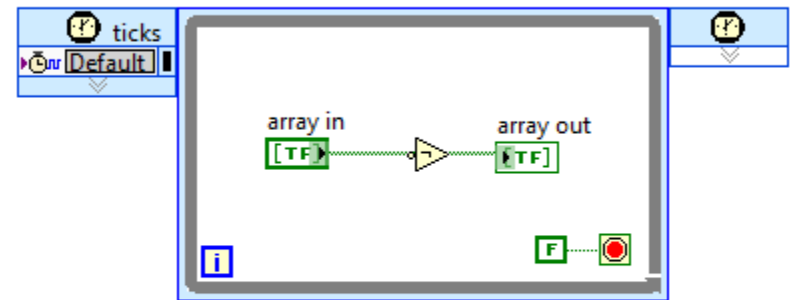
Melhorado suporte à operação de Array e Cluster no Single Cycle Timed-Loop

- Cada operação primitiva é paralelizada
- Nem todas as operações são suportadas no 2012*

Before



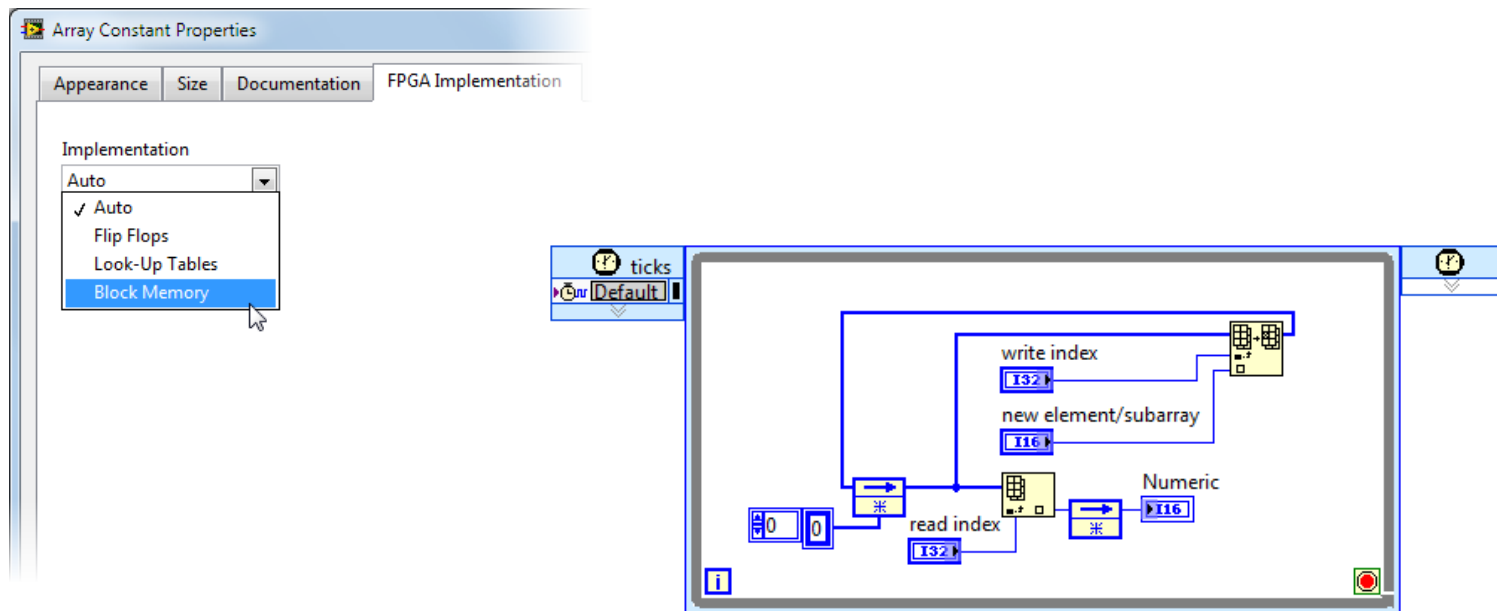
After



*Operações não suportadas: In Range and Coerce, Square Root, Number to Boolean Array, Rotate Left with Carry, Rotate Right with Carry, Reinterpret Number (Suporte a Array apenas)

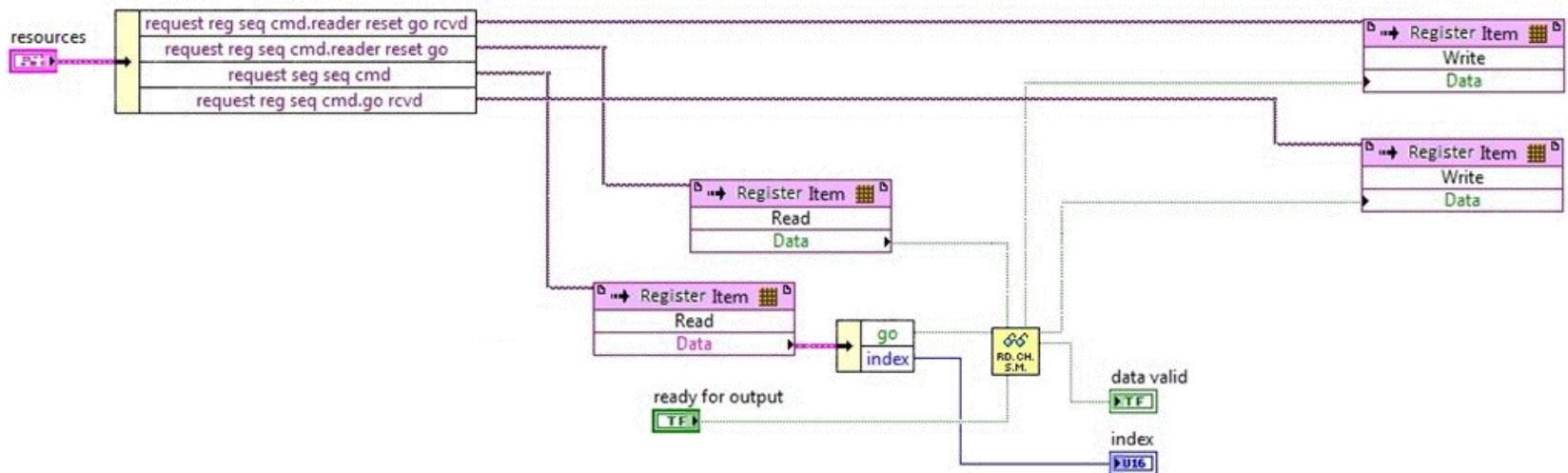
Suporte à utilização de elementos de memória para os arrays

- Opção para utilizar bloco de memória quando compilar arrays
- Requer que o usuário programe utilizando o padrão mostrado abaixo



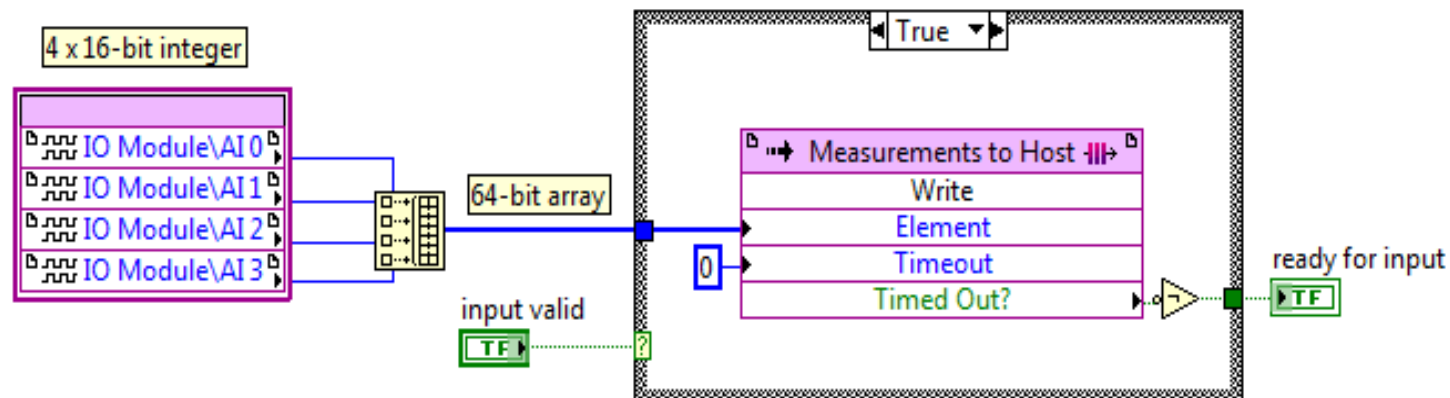
Registradores Target-Scoped

- Utilize registradores target-scoped como uma alternativa para variáveis globais
- Registradores permitem construção de código reutilizável
- Similar aos itens de memória mas utilize flip flops ao invés a blocos de memória



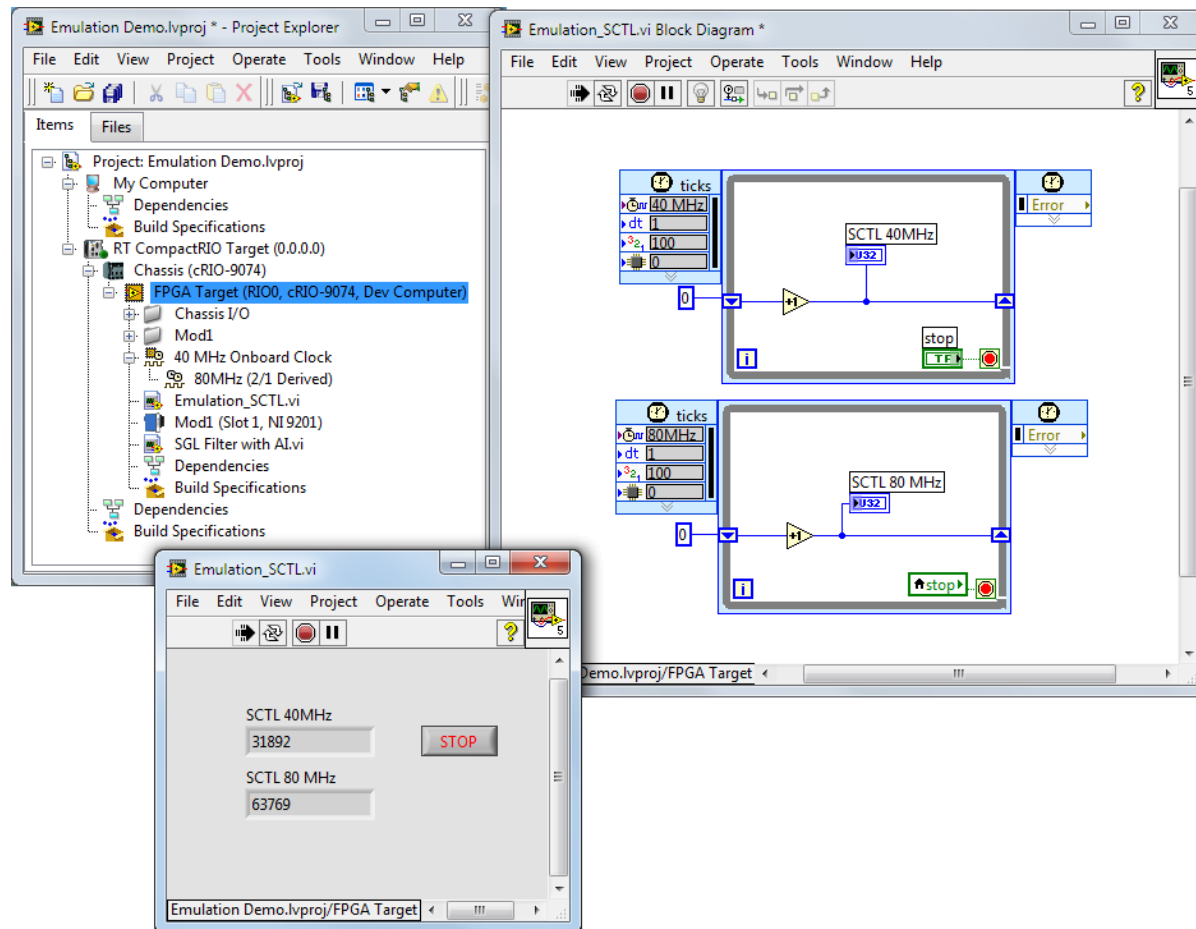
Melhorias na transferência FIFO

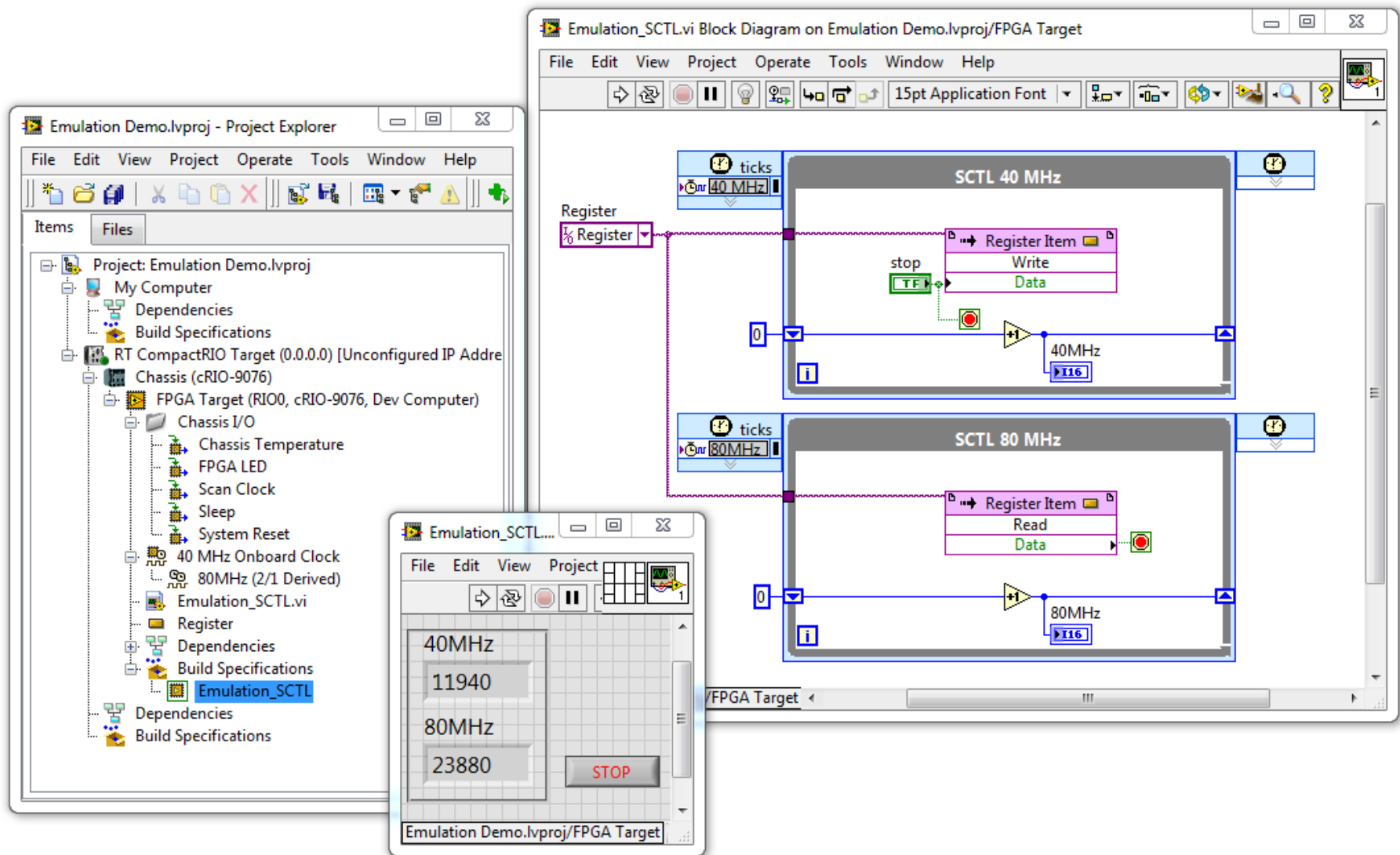
- Desempenho de transmissão melhorado com FIFOs para targets **PXIe FlexRIO**.
- Espessura DMA FIFO aumentadas de 32k amostras para 256k amostras
- Usuários podem empacotar pequenos elementos de dados em um array de 64 bit para FIFO DMA e FIFO Peer-to-Peer.



Melhoramentos em simulação FPGA funcional

- Mantém relação temporizada entre múltiplos SCTLs
- Melhor acesso simulado à recursos compartilhados

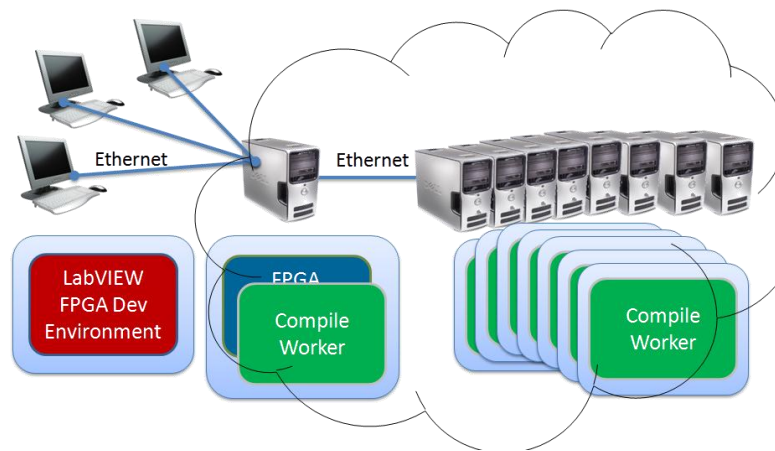




DEMO: Melhorada Emulação LabVIEW FPGA

LabVIEW FPGA Linux Compile Worker

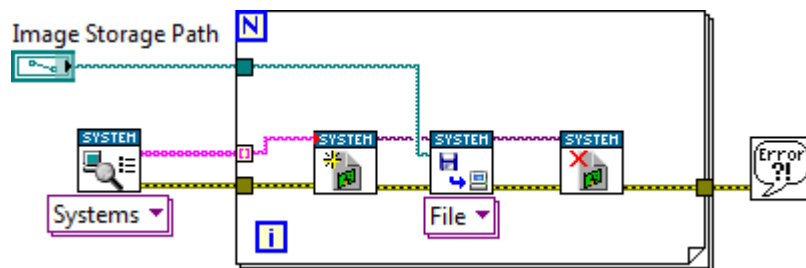
- Compilações substancialmente mais rápidas devido à ganhos de desempenho com o Linux OS
- Suporte através de todas as opções de compilação FPGA
 - Compilação de máquina remota
 - LabVIEW FPGA Compile Farm Toolkit
 - LabVIEW FPGA Compile Cloud Service



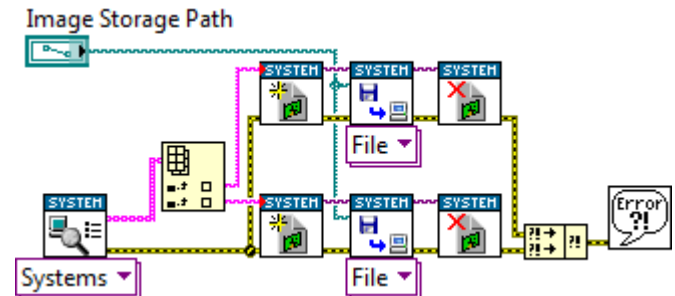
Aperfeiçoamento na implementação de imagem Real-Time

- Implementação paralela de imagem para múltiplos targets
- Recuperação de imagem e desenvolvimento 30% mais rápido

Implementação de imagem sequencial

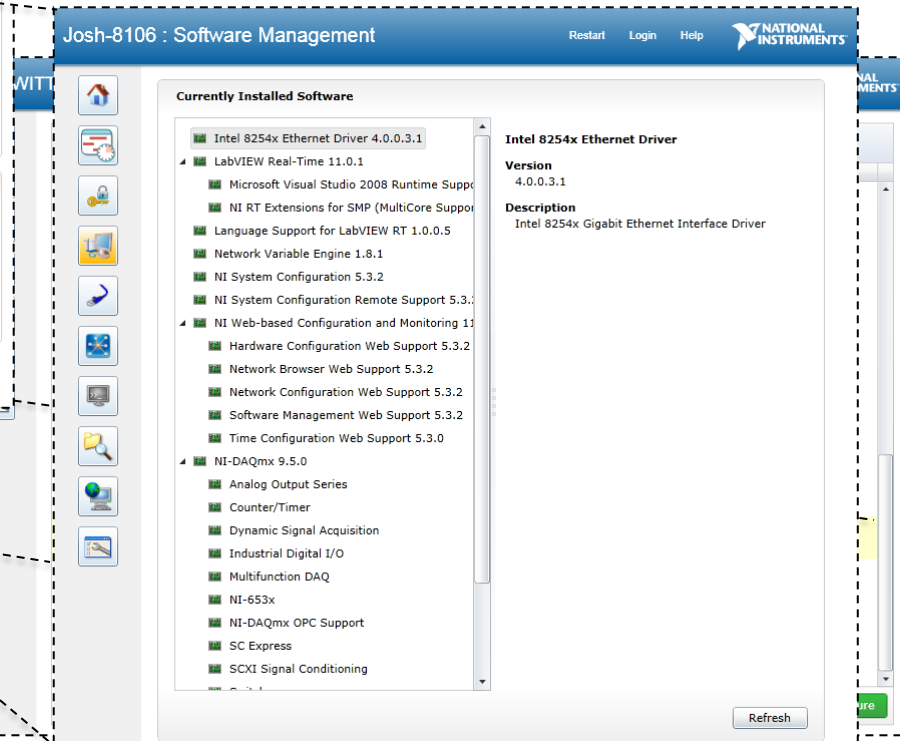
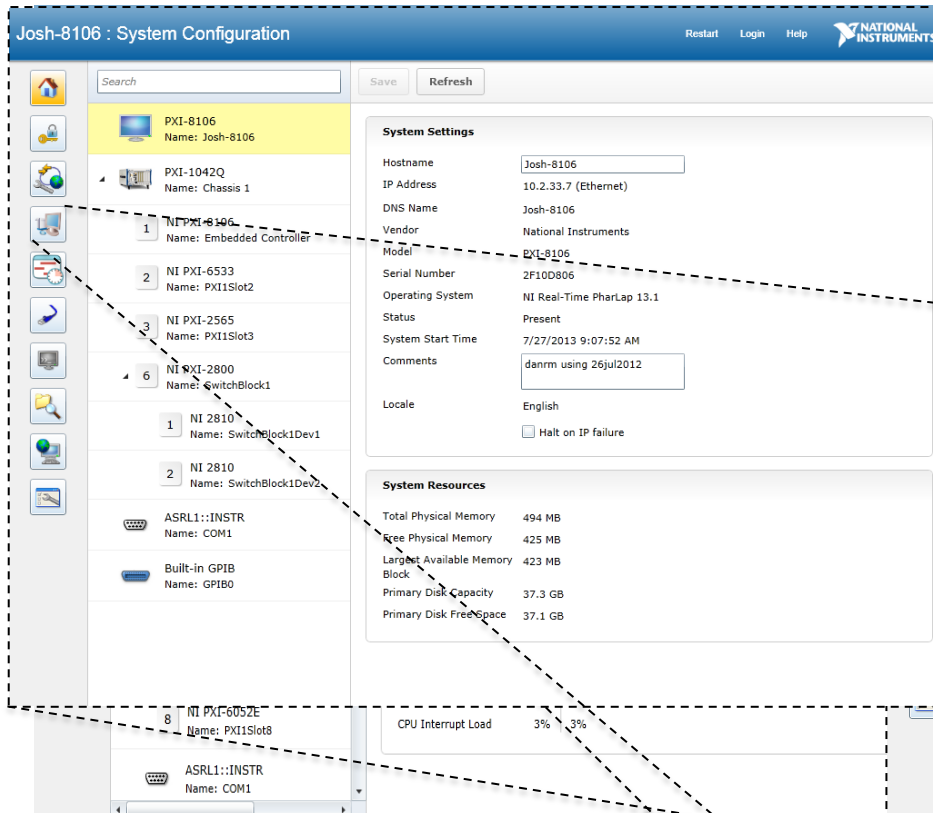


Implementação de imagem paralela



Configuração e monitoramento de Web melhorado e expandido

Visualiza e configura remotamente targets Windows e Real-Time de interface de monitoramento e configuração baseado em web



Conheça o novo e melhorado Data Dashboard para LabVIEW



- Cria layouts personalizados (Coloque elementos de dashboard livremente)
- Adicione controles bem como indicadores
- Compartilhe dashboards através de email ou o NI Cloud
- Conecte aos dados utilizando serviços web seguros ou não seguros ou network-published shared variables
- Acesse dados do NI Technical Data Cloud

Novos targets Real-Time e FPGA

Sistema NI CompactDAQ Autônomo

- Core i7 embarcado
- Armazenamento não volátil de 32 GB
- Mais de 50 módulos I/O
- Até 24-bit, até 1MS/s
- Windows ou Real-Time OS
- LabVIEW, DAQmx



Tranceptor de vetor de sinal NI PXIe-5644R

- VSA e VSG até 6GHz em um módulo
- Largura de banda 80MHz RF para novos padrões RF
- Primeiro instrumento RF destinado à software do mundo



Sumário das novas funções LabVIEW FPGA & Real-Time 2012

Suporte Floating-Point no FPGA

- Execute rotinas de análise complexa existentes diretamente no FPGA

LabVIEW FPGA IP Builder

- Crie FPGA IP de alto desempenho e de recurso eficiente

Suporte à dados Array & Cluster no SCTL

- Melhor produtividade quanto utilizar Single Cycle Timed-Loops

Melhorada emulação FPGA

- Melhorada presição na execução de projetos LabVIEW FPGA

Registradores

- Leitura e escrita para registradores por referência

Peer-to-Peer e DMA FIFOs mais profundos

- Espessura da DMA FIFO é mais larga e profunda (de 32k à 256k)

Data Dashboard para LabVIEW

- Pegue suas medições móveis

Suporte Compile Worker Linux

- Suporte para o Xilinx Compilation Toolchain para Linux

Configuração de sistema API

- Implementação de imagens paralelas e desempenho melhorado

Perguntas?

Carlos Pazos

carlos.pazos@ni.com

Engenheiro de produção de marketing
National Instruments

Stay **Connected** During and After NIWeek



ni.com/niweekcommunity



facebook.com/NIWEEK



twitter.com/#!/niweek



<http://linkd.in/ljfwyB>



youtube.com/niglobal