



ENGINEER  
NEXT  
NIDays

The image features a background of diagonal stripes in various shades of blue, green, orange, and red. The text 'ENGINEER NEXT' is prominently displayed in white, with 'NEXT' being significantly larger and featuring a yellow geometric graphic element. Below this, the text 'NIDays' is enclosed in a white rectangular box.



# Aplicaciones HIL para Sistemas de Tracción en CAF P&A NIDays Madrid 2017



Present: Mikel Alza, CAF P&A  
Jaume Martínez, ASOINDEL  
Miguel Ángel Sicilia, CETEST  
Lugar: IFEMA - Feria de Madrid  
Fecha: 18/10/2017

## CAF Power & Automation (Grupo CAF)

Ofrecemos soluciones para el sector ferroviario

Equipo multidisciplinar, especializado:

- Electrónica de potencia
- Automatización
- Comunicaciones

Enfocamos la investigación e innovación en el desarrollo y mejora continua de nuestras plataformas (Tranvías, Emus, Metros, Alta velocidad, Locomotoras, Train Control & Management System (TCMS), Comunicación, Acumulación de Energía (ACR))

Programas Europeos:

Shift2Rail, Roll2Rail, ESTEFI

# Índice



- Objetivos
- HIL (Definición, beneficios)
- Implementación HIL en CAF P&A
  - Alcance, HW empleado, Modelos implementados, Señales simuladas, Historia.
- Ejemplo: HIL Tranvía
  - Implementación del HIL
- Automatización
- Futuros desarrollos
  - HIL Genérico
  - Tarjetas HW
  - Integración con otros equipos
  - Modelos conmutados de electrónica de potencia para sistemas RT
    - Espacio de estados
    - Análisis nodal
    - Operaciones con coma flotante
    - Optimización de operaciones en FPGA
- Conclusiones



# Objetivos

---

## FASE DEL DISEÑO

- Garantizar la calidad del producto.
- Hacer que el proceso de validación del producto sea más eficiente (plazo y costo). Sin que esto implique una reducción en la calidad del producto.

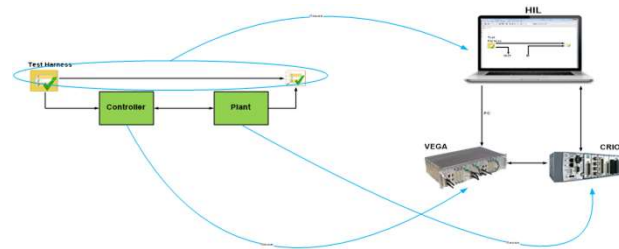


## FASE DE FUNCIONAMIENTO

- Reproducir los problemas identificados en el producto en la fase de operación (diagnóstico, mantenimiento correctivo)
- Asegurar la calidad de las modificaciones al producto (mantenimiento evolutivo).

# HIL

La simulación **hardware-in-the-loop (HIL)** es una técnica usada para el desarrollo y comprobación del sistema embebido en tiempo real complejos. La simulación HIL constituye una plataforma efectiva porque incluye toda la complejidad de la planta que controla el sistema embebido. Esto lo realiza mediante modelos matemáticos de todos los sistemas dinámicos relacionados con la planta bajo control, formando lo que se denomina como "simulación de la planta". El sistema embebido que se está comprobando interactúa con esta simulación de la planta.



Wikipedia

## Beneficios

---

- Permite adelantar la validación del control. Se valida el control en el target sin necesidad de disponer todavía de un escenario de combinación real.
- Aumenta el grado de cobertura de las pruebas. Filtro adicional antes de llegar al laboratorio.
- Permite automatizar pruebas. Entorno ideal para la ejecución automática de pruebas de regresión.
- Reduce el plazo y coste total de la validación.
- Permite reproducir problemas identificados en fase de explotación sin necesidad de disponer de un escenario de combinación real.



## Alcance

---

- Scope: validación del sistema de tracción/acumulación.
- Concepto de HIL basado en HW de NI. Costes razonables permiten “escalar” la solución.
- Modelos actualmente implementados en simulación: inversor, rectificador, convertidor de continua, engine set
- Señales simuladas: encoders, sensores (I, V), entradas/salidas Digitales.
- En algunos proyectos hemos integrado el PLC (Programmable Logic Controller) del TCMS.
- En PINTA integraremos el modelo de adherencia para validar controles de antipatinaje/antideslizamiento.



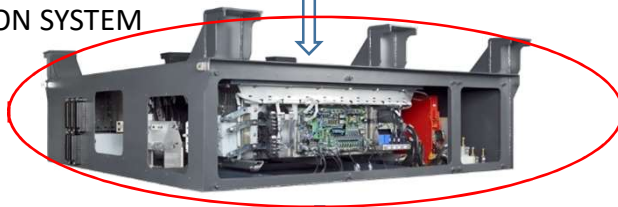
# HIL Foco

Esquema representativo donde CAF P&A tiene su foco.

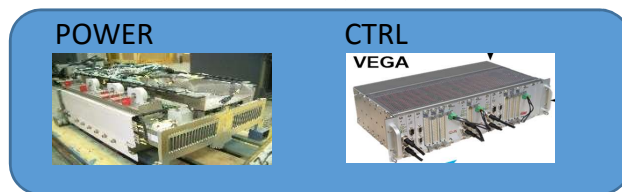
TRAIN



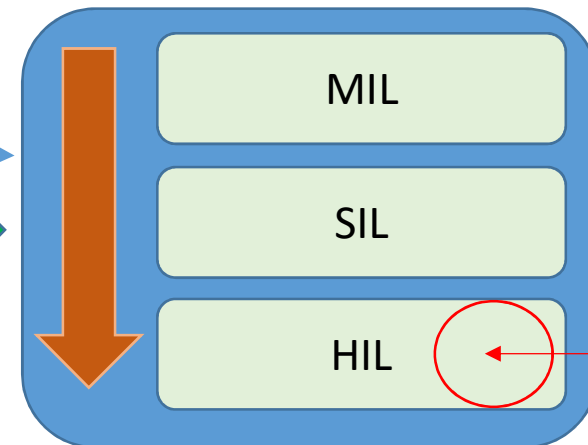
TRACTION SYSTEM



MODEL  
PLANT

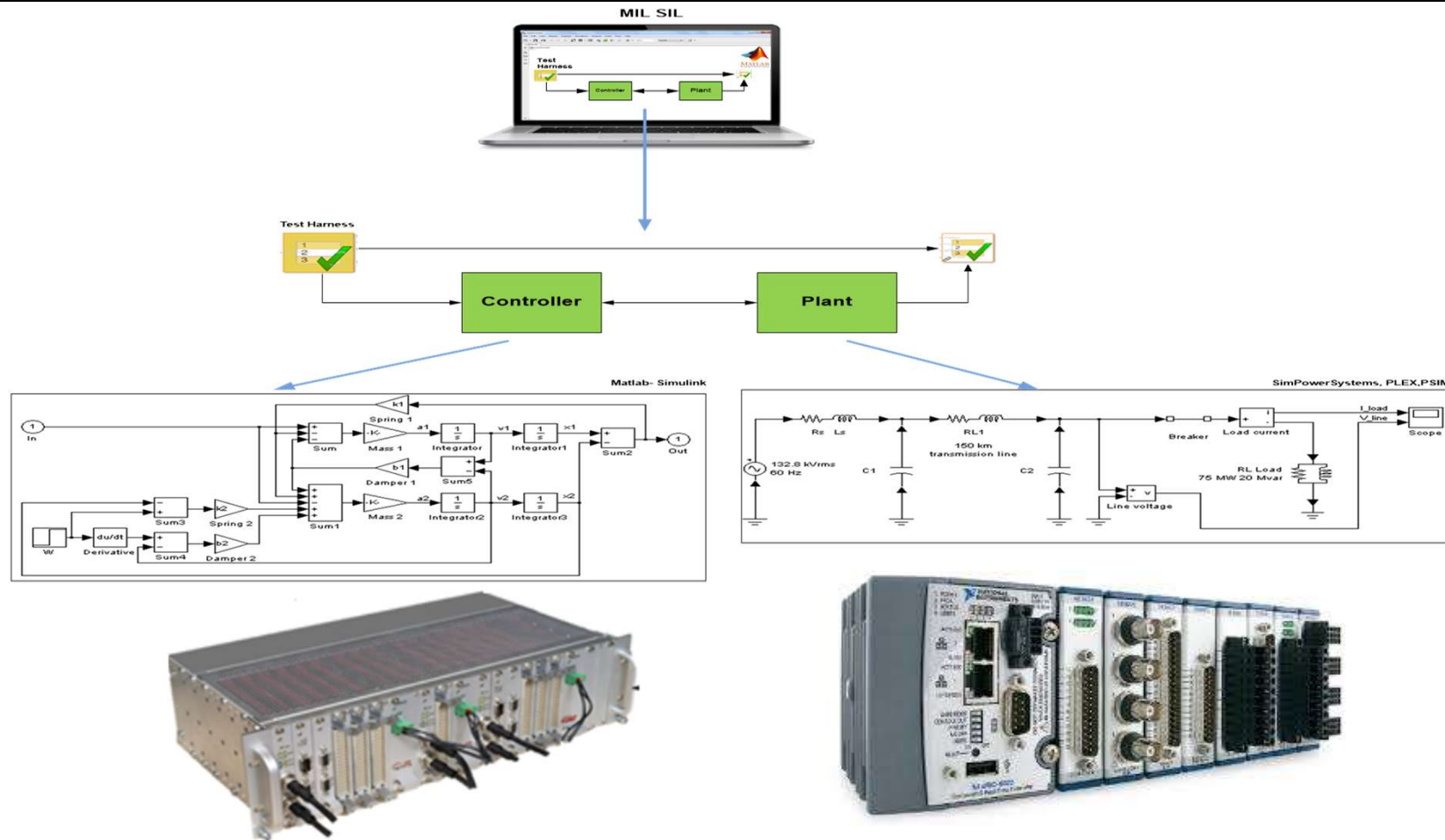


Virtual Validation



Focus  
CAF P&A

# HIL Concepto



**VEGA:** Vehicle Electronic for General Applications

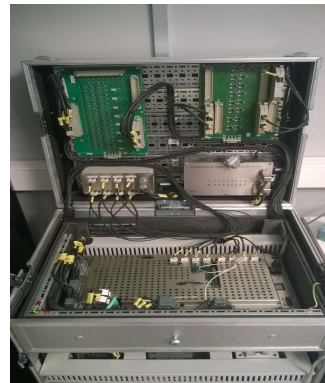
**CRIO:** Compact RIO

## Implementación HIL en CAF P&A

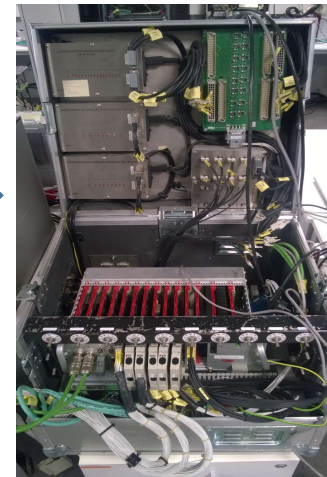
- Grado de implantación cada vez mayor de entornos HIL.
- Inicialmente cierta resistencia a su uso. Es vital que los entornos sean robustos y eficientes (fáciles de poner en marcha).
- Actualmente nadie se plantea ejecutar un proyecto sin pasar por el entorno de HIL.



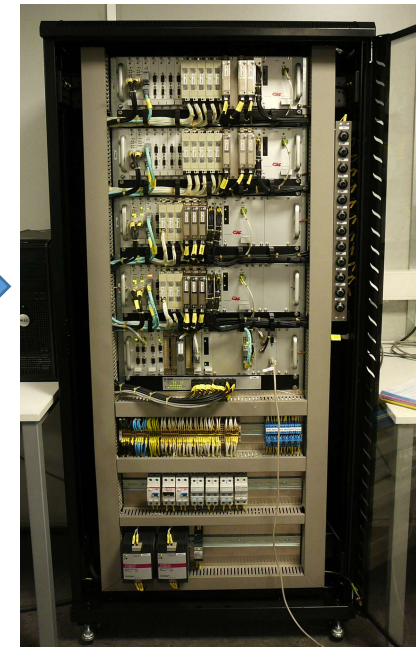
2011: proyecto de desarrollo y primer proyecto piloto



2012: HIL en maletas para plataforma TCU/ICU



2014: HIL en maletas para plataforma VEGA



2016: HIL en armarios con alta adaptabilidad



# Ejemplo: HIL Tranvía

## Características:

- Arquitectura propia HIL\_v2
- 2xACR + 2xCOMPAC+ 1xDCLINK
- 1x TcuExterna + 1xCCU

## Funcionalidades:

- Automatización
- Control

## Futuro:

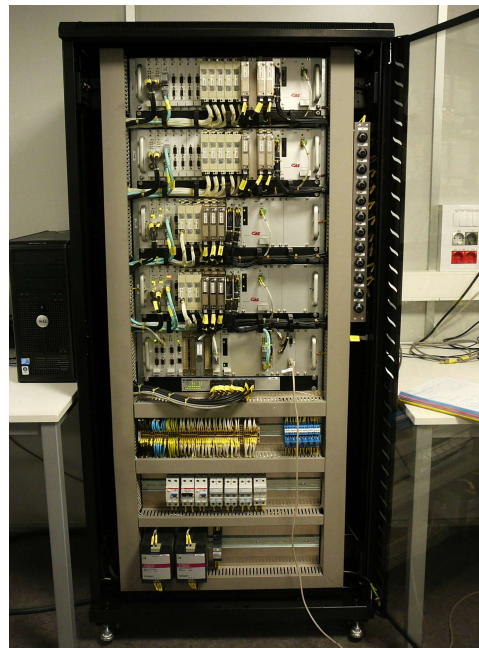
- Interconexión
- BCU
- TCMS



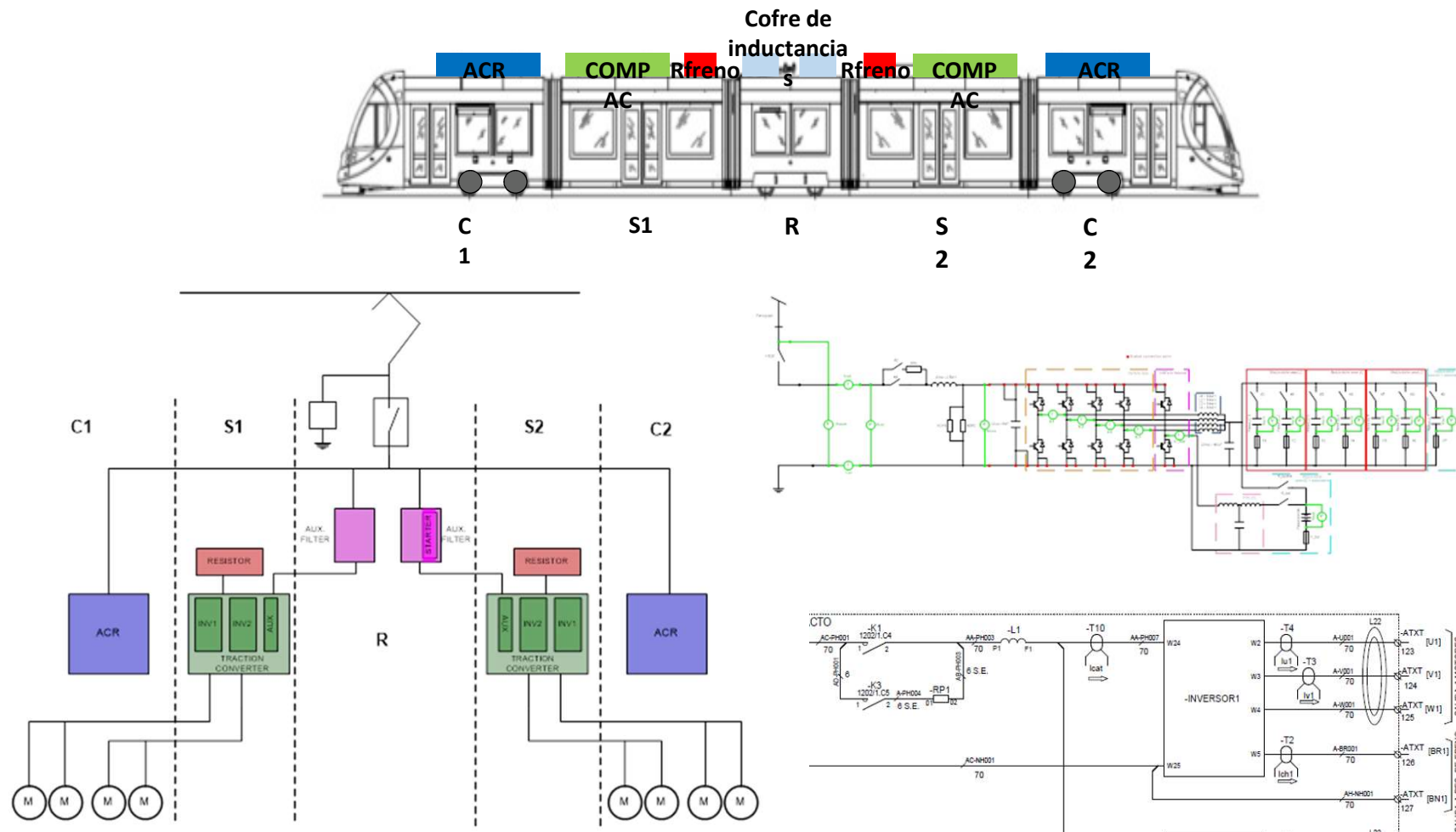
Taiwan



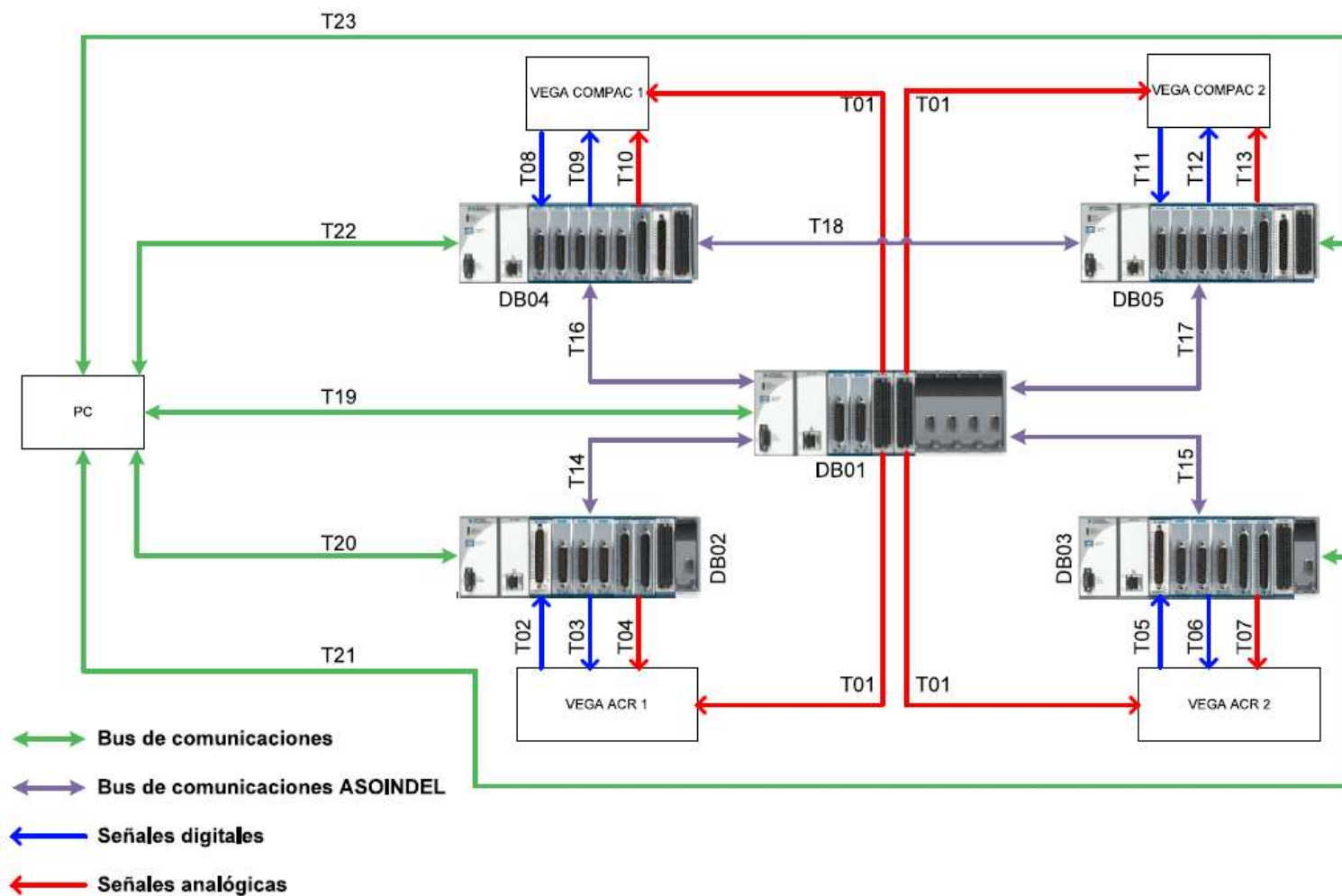
Luxemburgo



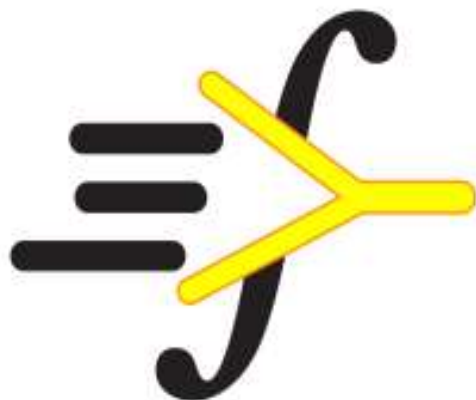
# Ejemplo: HIL Tranvía



# Ejemplo: HIL Tranvía



# Compañía



[www.asoindel.com](http://www.asoindel.com)

- Desarrollo de software y dispositivos tecnológicos para la industria
- Alliance partner de NI desde el 2011
- Certificaciones
  - CLA: Certified LabVIEW Architect
  - CLED: Certified LabVIEW Embedded Developer
  - CPI: Certified Professional Instructor
- Proyectos en distintos sectores (Automóvil, Aeronáutica, Ferrocarril, electrónica, energía, geofísica, academia, etc.)
- Soluciones:
  - Control industrial
  - Adquisición de datos
  - Diseño software embebido
  - Hardware in the Loop
  - Test automático
  - Control de instrumentos
  - Telediagnos



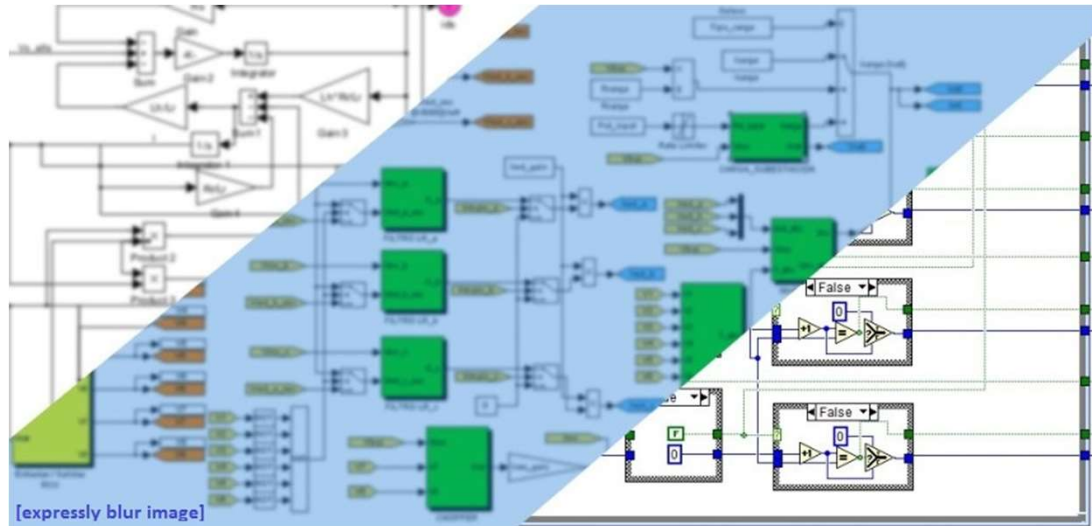
CAF Power & Automation LAB-HIL





### El Proceso

- 1) Modelar el sistema físico
- 2) Simulación y validación
- 3) Traducir el modelo al HIL
- 4) Simular el HIL
- 5) Instalar
- 6) Ejecutar!



## Modelo Físico del sistema

- Use su programa favorito para modelar el sistema :
  - Simulink (for “low level” equations)
  - Simulation Power systems (“high level components”)
  - Starsim (Labview-based Electrical System Simulation Software)
  - LabVIEW Control Desing and Simulation Module
  - Others...

## Simulación y validación

- Ejecutar el modelo en el equipo
- Validar la respuesta del modelo
- Evaluar el tiempo mínimo de paso de simulación
- Obtener trazas válidas para comparar la respuesta HIL a la simulación del modelo

# Trasladar el modelo a HIL

- Dependiendo del tiempo de paso puede estar en el procesador en tiempo real (milisegundos) o FPGA (microsegundos)
- Implementar con especial atención a:
  - Tiempo de ejecución del bucle HIL
  - FPGA ocupación (slices y DSP)
  - Implementación de coma fija para FPGA (precisión y rango)
- Optimización de código

# Simulación en HIL

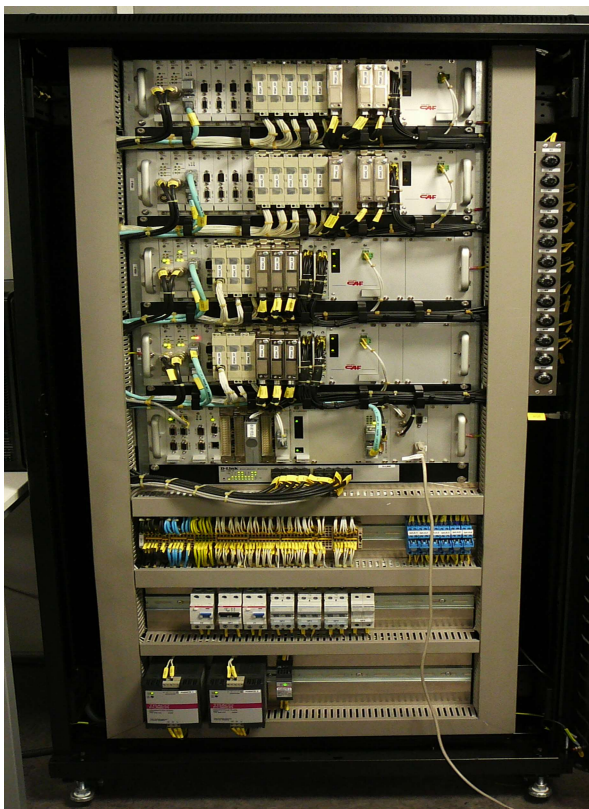
- Ejecutar el HIL en la implementación final
- Utilice las mismas señales de control que en el modelo original
- Comparar las respuestas con el modelo





# Instalación

- Las plataformas HIL a menudo requieren ajustes eléctricos y acondicionamiento de señal

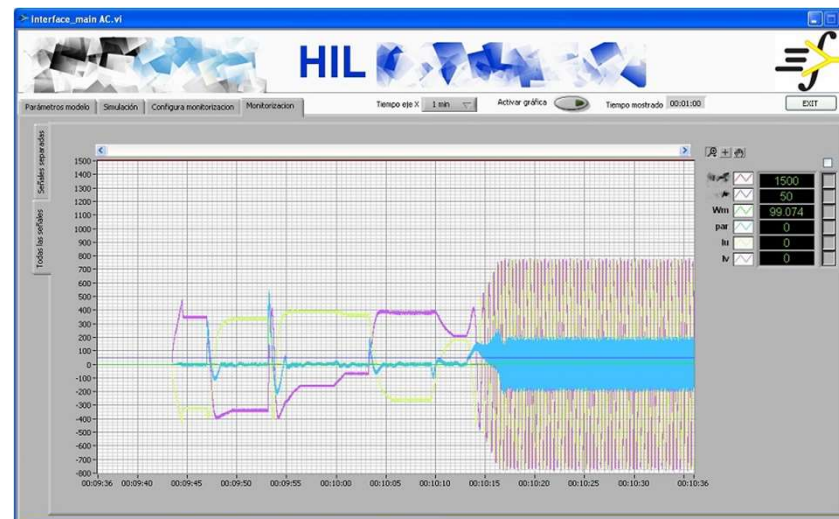


## Ejemplo: HIL Tranvía



# Run!

- El HIL está listo para ejecutarse:
  - Cambiar parámetros
  - Insertar perturbaciones o fallas en tiempo real
  - Ver datos en tiempo real
  - Almacenar resultados para análisis off-line





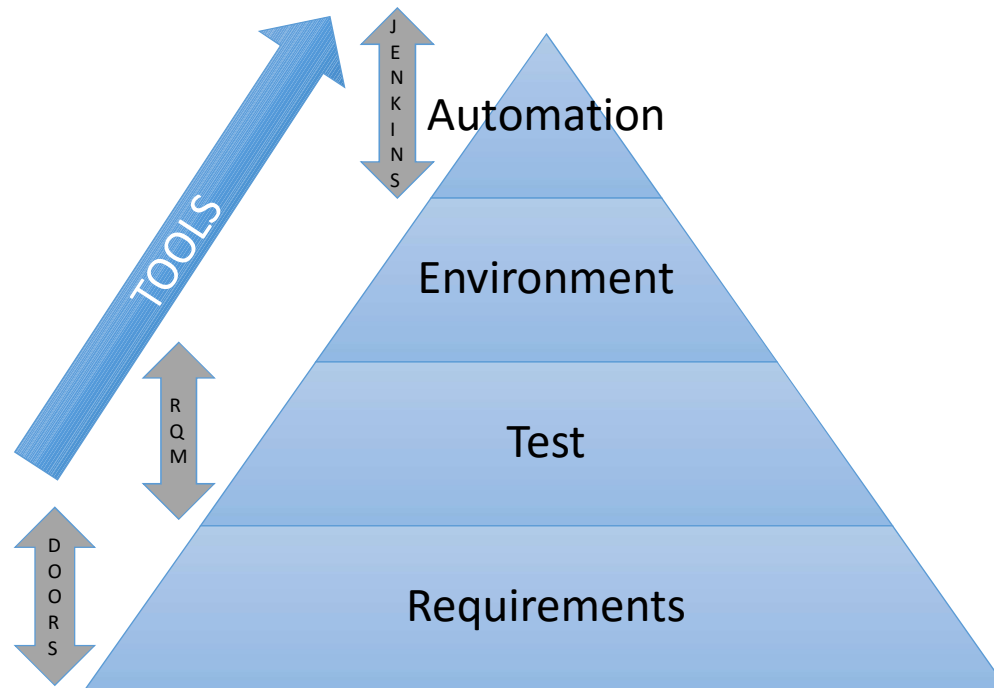
# Resultado

"Gracias a la programación de CompactRIO y LabVIEW FPGA, implementamos un sistema HIL complejo que hace respuestas dinámicas a las ecuaciones diferenciales en microsegundos y en el caso del modelo del motor en hasta  $1 \mu\text{s}$ "

Todas las entradas y salidas corresponden al sistema físico real, excepto para los niveles de señal que se adaptan a través de electrónica personalizada. Las señales digitales se gestionan en decenas de ns.

# Automatización

- HIL como entorno para la integración continua de SW
- Permite automatizar pruebas de regresión del SW.



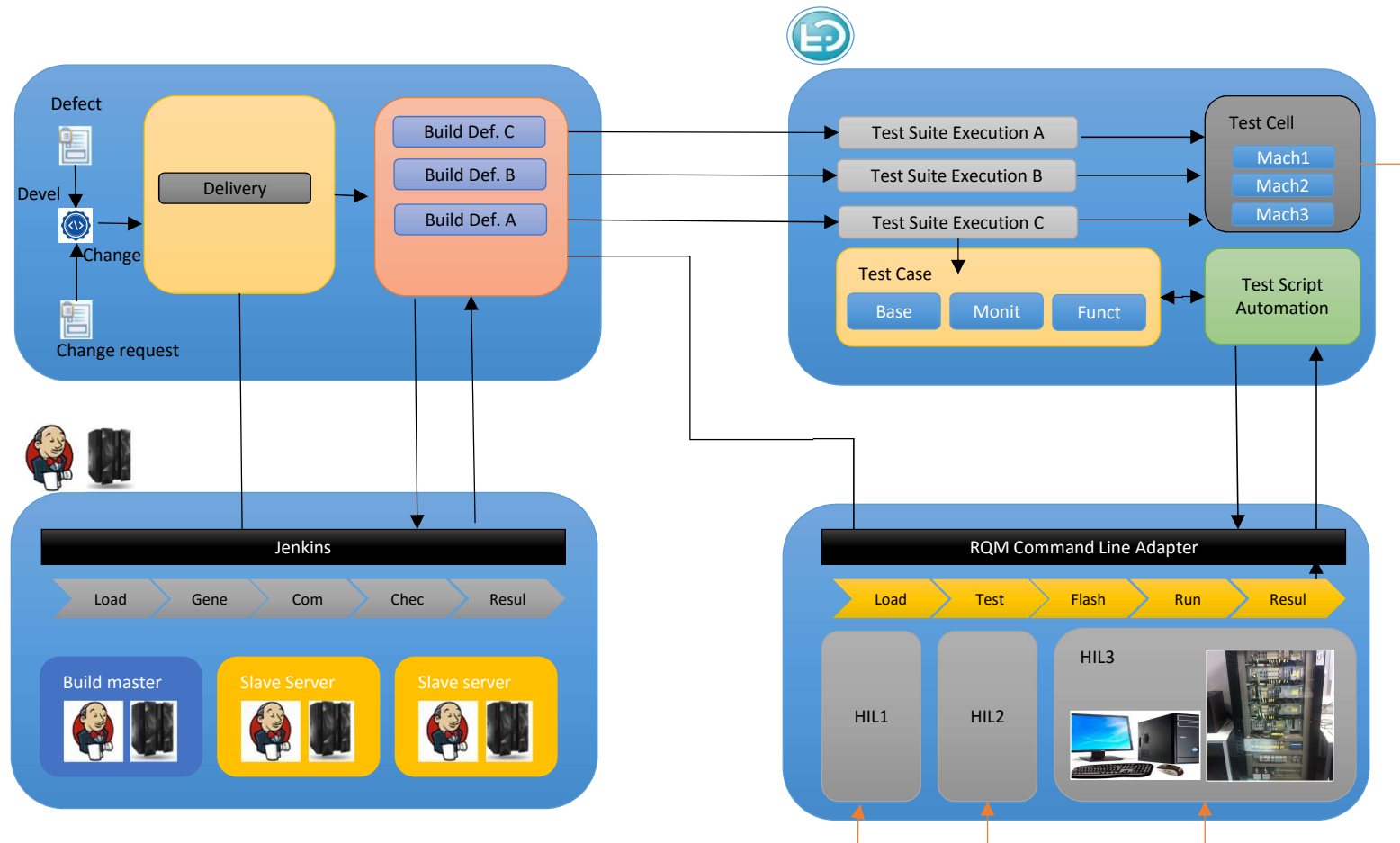
**Jenkins:** Herramienta para la ayuda de la automatización

**RQM:** Rational Quality Manager (Gestor de pruebas)

**DOORS:** Herramienta de gestión de requisitos

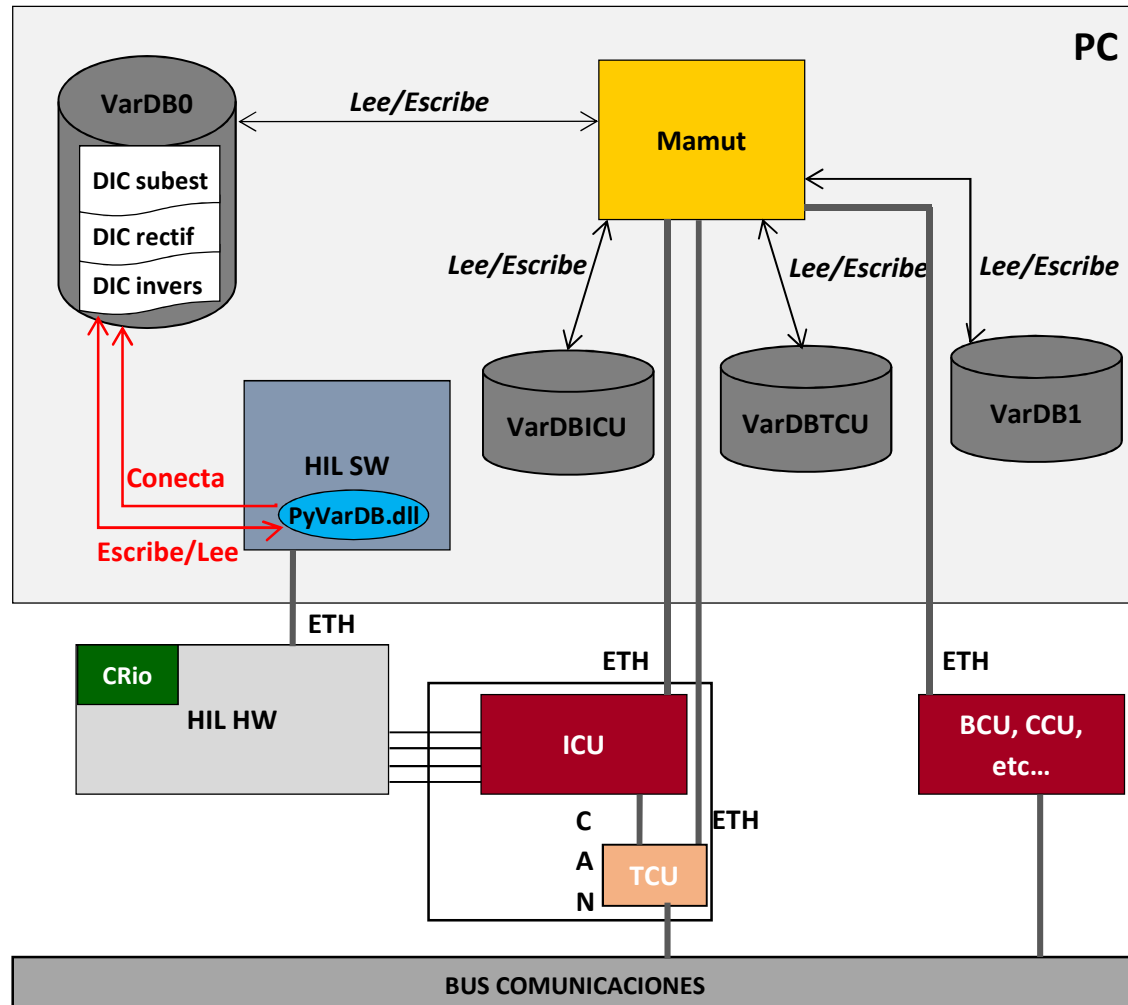
# Automatización

- Metodología de Automatización:



# Automatización

**ICU:** Inverter Control Unit  
**TCU:** Traction Control Unit  
**BCU:** Breake Control Unit  
**CCU:** Cosmos Control Unit  
**Mamut:** Herramienta para la especificación y ejecución de pruebas  
**ETH:** Ethernet  
**VarDB:** Variable Data Base  
**cRIO:** CompactRIO



# HIL GENERICO

- Fácilmente adaptable a las necesidades particulares de cada proyecto.

## Características:

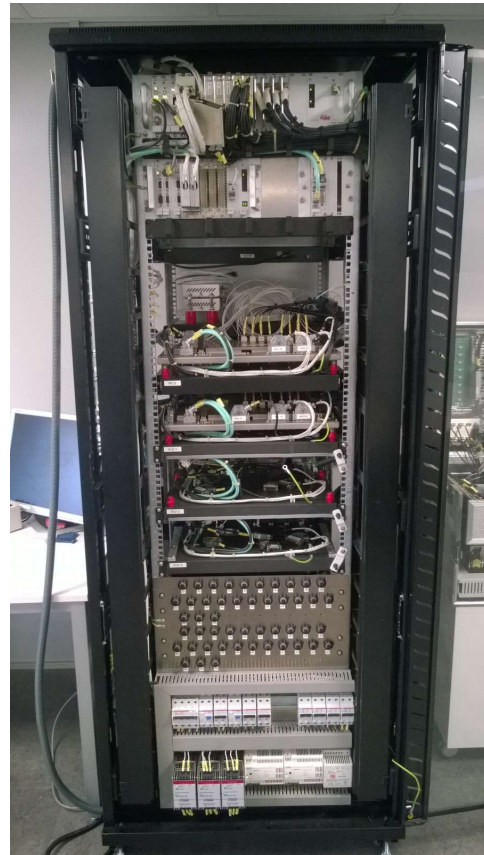
- Arquitectura nueva
- 2xRectif /DC-DC+ 4xInv
- Utgen + Vega
- 1x CCU + 1x TcuExterna + TCu1 + TCu2
- Chasis de expansión para señales externas

## Funcionalidades:

- Mapeo de las señales
- Test hardware
- Automatización
- CreepControl

## Futuro:

- Interconexión
- BCU





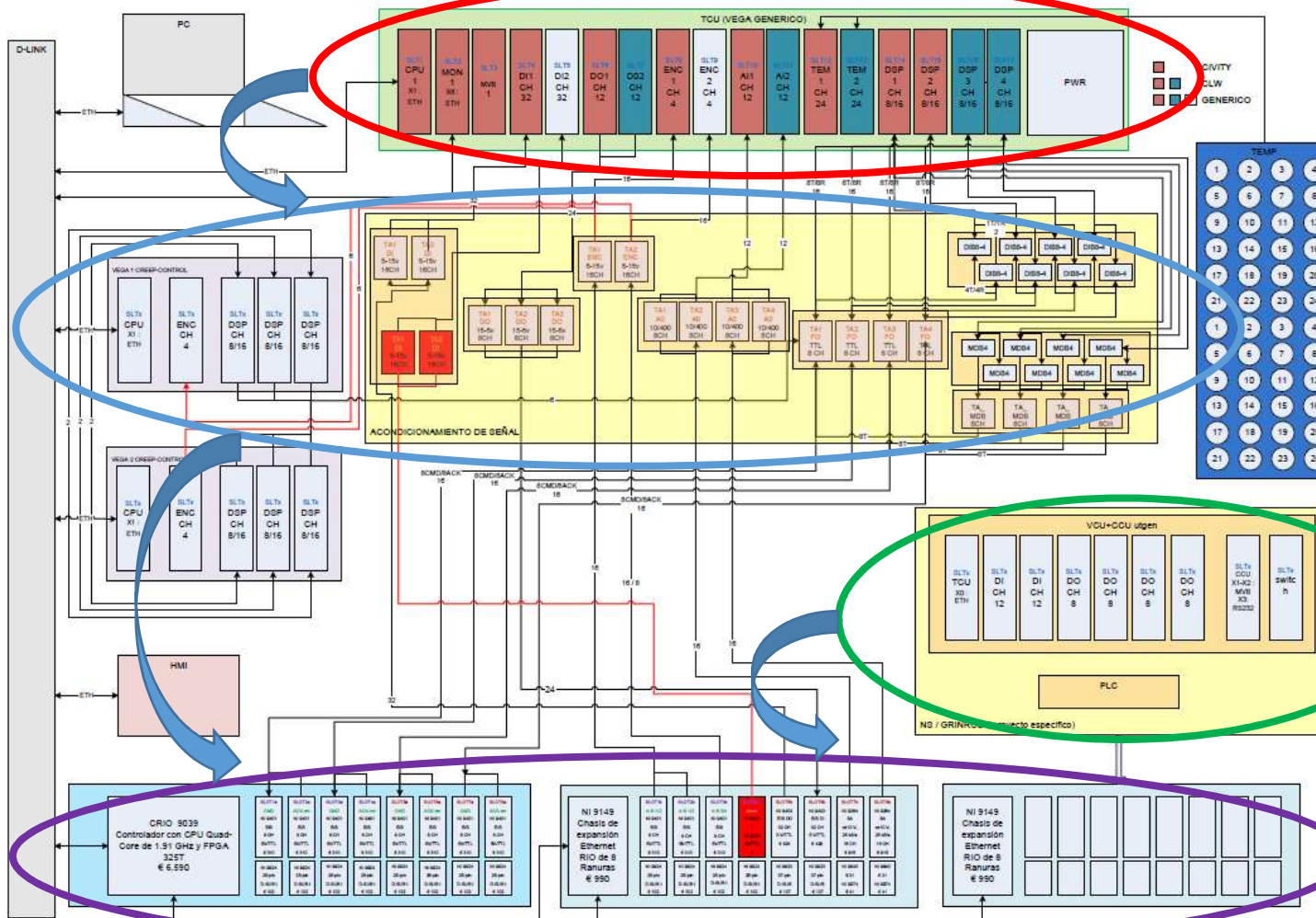
# Arquitectura Genérico

VEGA

ADAPT.  
SEÑALES

OTROS  
EQUIPOS

CRIO



# Futuro

- HW - Generación de tarjetas NI de adquisición de datos.



Vega



cRIO

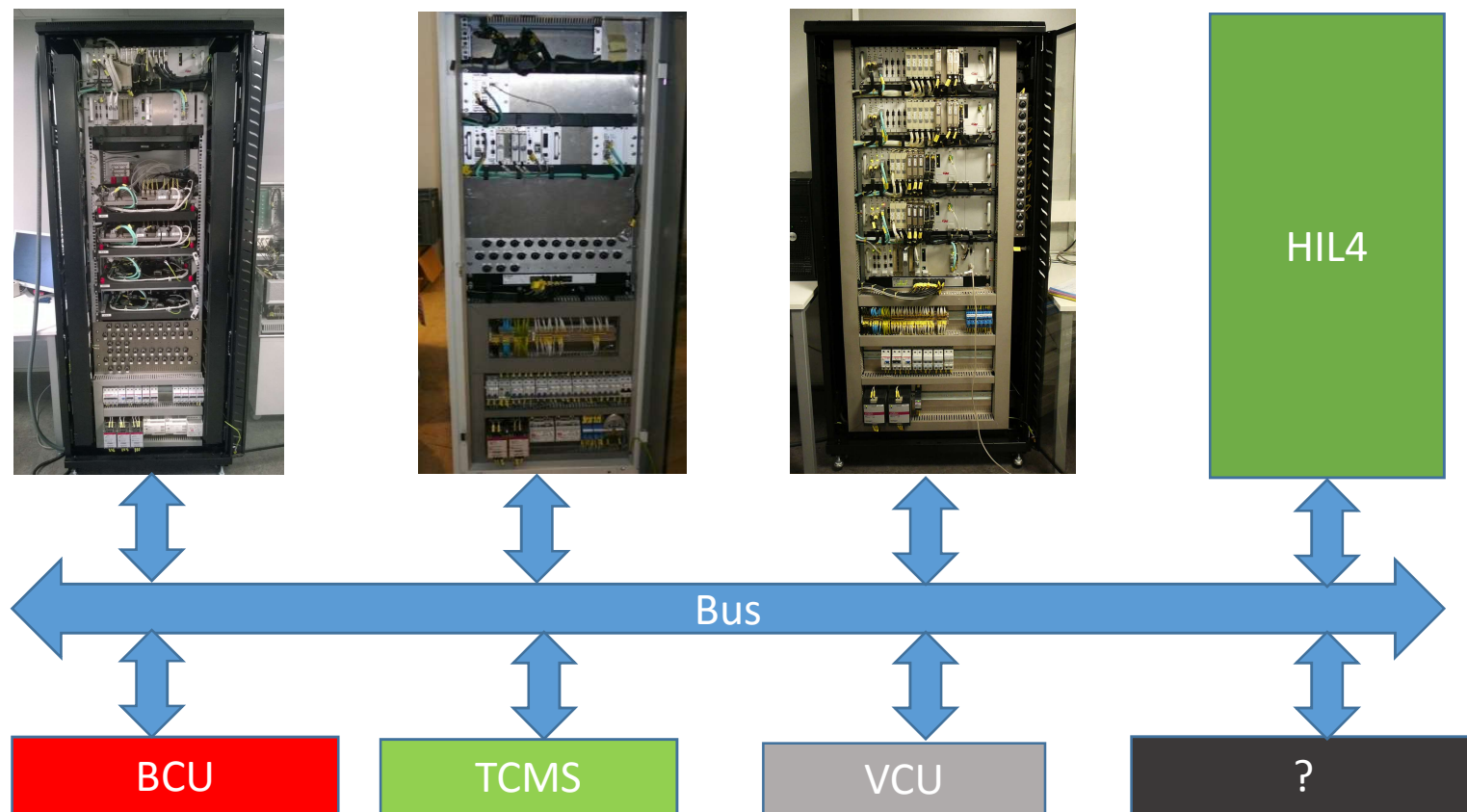
cRIO-9951 Module Development Kit (MDK)





# Futuro

- Integración de otros sistemas: BCU, TCMS, etc.
- Interconexión de plataformas HIL para adaptarnos a futuras topologías



# Compañía



Your Test & Evaluation Department  
Anywhere, Anytime

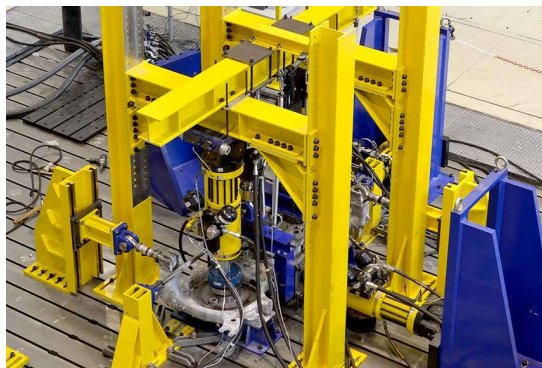
## FULL SCALE STRUCTURAL



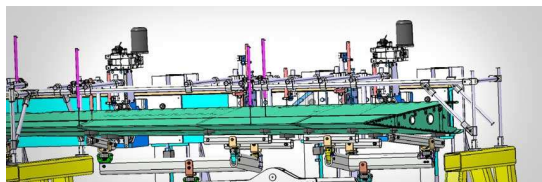
## FUNCTIONAL & DURABILITY



## MULTIAXIAL COMPLEX TEST



## STRUCTURAL INTEGRITY & FATIGUE



## NOISE & VIBRATIONS

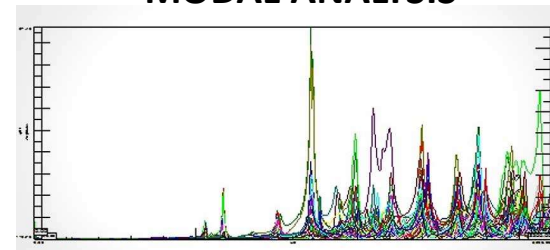


CAF Power & Automation LAB-HIL

## EMI/EMC



## MODAL ANALYSIS

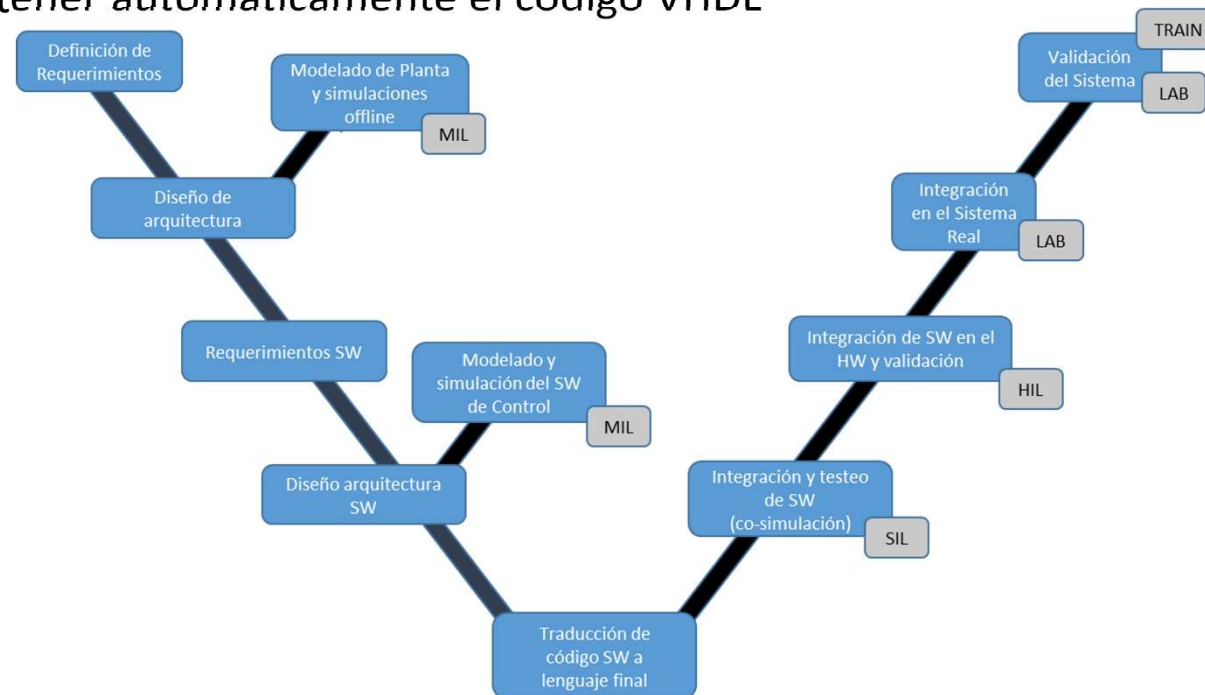


## R&D PROJECTS



## Objetivos

- Implantar metodología “Model Based Design”
- Optimizar modelos para su ejecución en FPGAs
- Aumentar la fidelidad de los modelos
- Ejecución de modelos en coma flotante en FPGA
- Obtener automáticamente el código VHDL



Model Based Design

# Modelos conmutados de convertidores de potencia optimizados para su simulación en Tiempo Real

- Espacio de Estados
- Análisis Nodal
  - Modelado con Matriz de Admitancias Fijas
  - Caso de Estudio - Convertidor Buck
- Optimización de Operaciones
  - Operaciones en Coma Flotante
  - Métodos de resolución de ecuaciones
- Temporización de ejecución de los modelos customizada

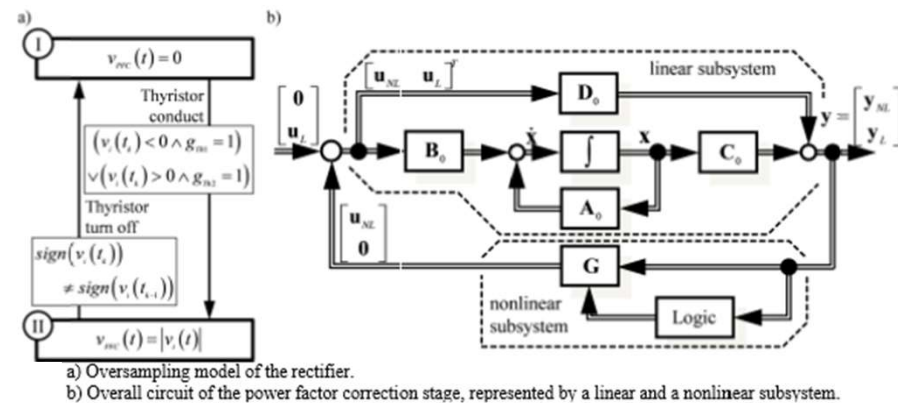


## Espacio de Estados

- Adecuado para sistemas lineales
- Para sistemas conmutados se necesitan  $2^N$  matrices
- No es el método más optimizado para embeber en FPGAs debido al uso de recursos y latencias
- Hay una variante denominada Continuous-Discontinuous que modeliza las no linealidades a través de un Feedback con una matriz  $G$

$$\begin{aligned}\dot{x}(t) &= \mathbf{A}(t) x(t) + \mathbf{B}(t) u(t) \\ \dot{y}(t) &= \mathbf{C}(t) x(t) + \mathbf{D}(t) u(t)\end{aligned}$$

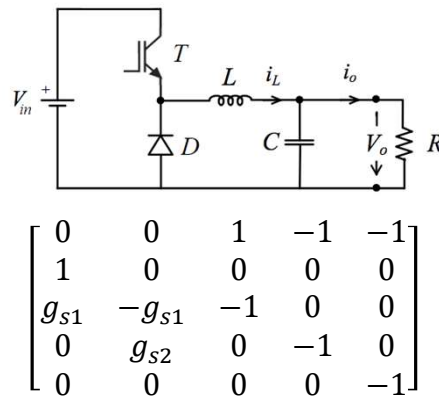
$$\begin{aligned}\dot{x}(k+1) &= \mathbf{A}(k) x(k) + \mathbf{B}(k) u(k) \\ \dot{y}(k) &= \mathbf{C}(k) x(k) + \mathbf{D}(k) u(k)\end{aligned}$$



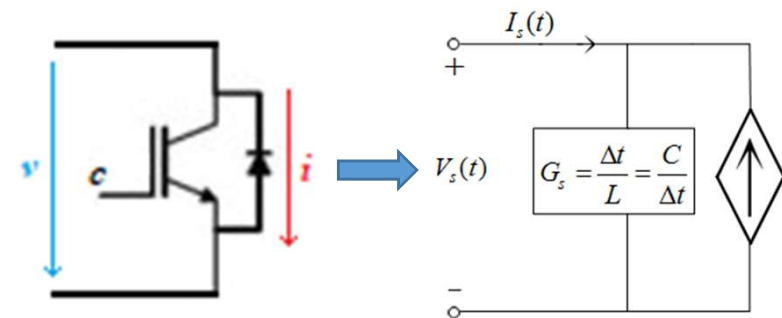
\*Fuente: Axel Kijffe, Thomas Schulte, "FPGA-based Hardware-in-the-Loop Simulation of a Rectifier with Power Factor Correction"

## Análisis Nodal Modificado con Matriz de Admitancias Fijas

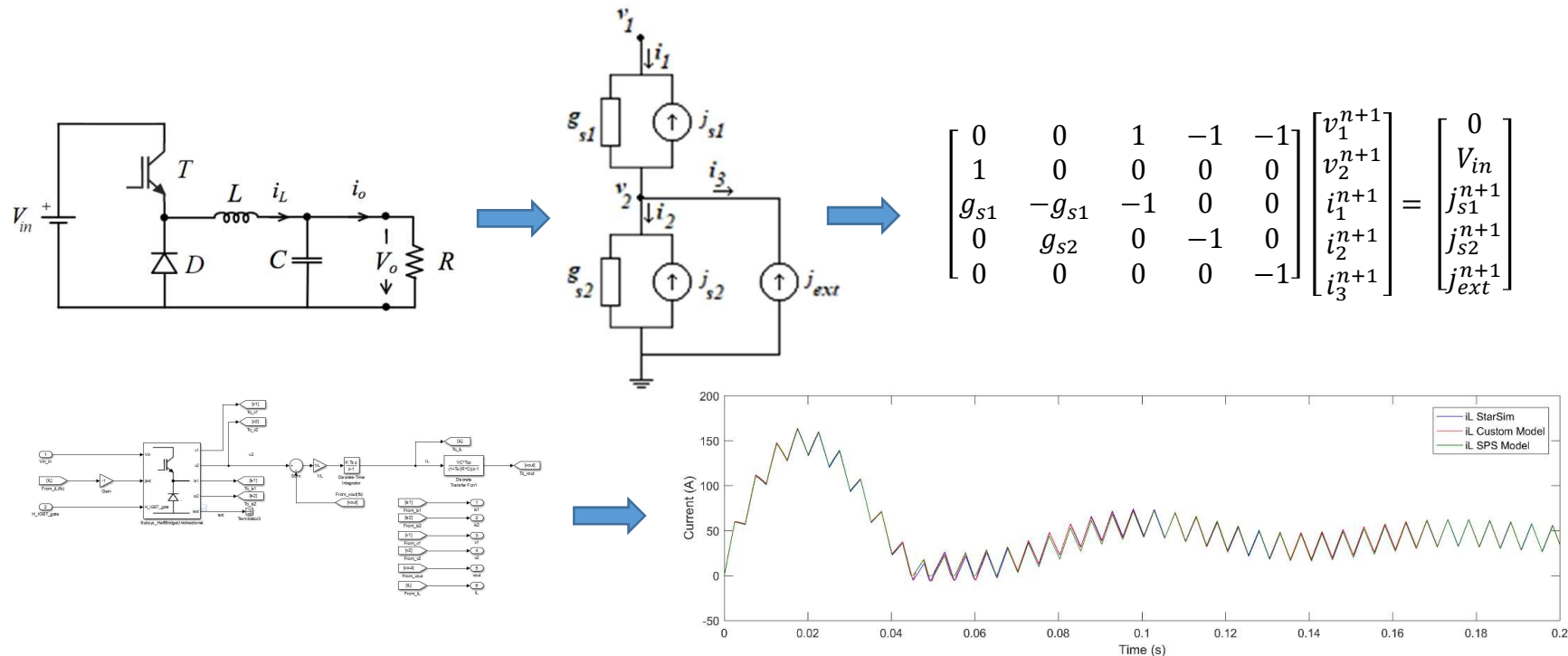
- Persigue conseguir que el sistema esté definido por una única matriz de admitancias independientemente del estado de los switches
- Esto se consigue al aplicar un modelo equivalente de dipolo a los switches y discretizando mediante Backward-Euler
- De esta manera se consiguen modelos que pueden ser directamente embebidos en FPGAs optimizados tanto en ocupación como en velocidad de ejecución



Solución



## Caso de estudio: Convertidor Buck

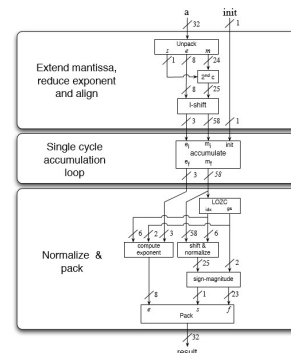


- ✓ Se ha probado la técnica mencionada satisfactoriamente llegando a un paso de tiempo de 200ns en tiempo real
- ✓ Se va a llevar una prueba de concepto implementando un sistema combinado de motor e inversor



## Optimización de operaciones en FPGA

- Operaciones en coma flotante
  - Necesidad de implementar algoritmos customizados optimizados para operar en coma flotante
  - Solución: MACs (Multiply Accumulators) customizados en coma flotante mediante técnicas de autoalineamiento de exponentes (SAT)



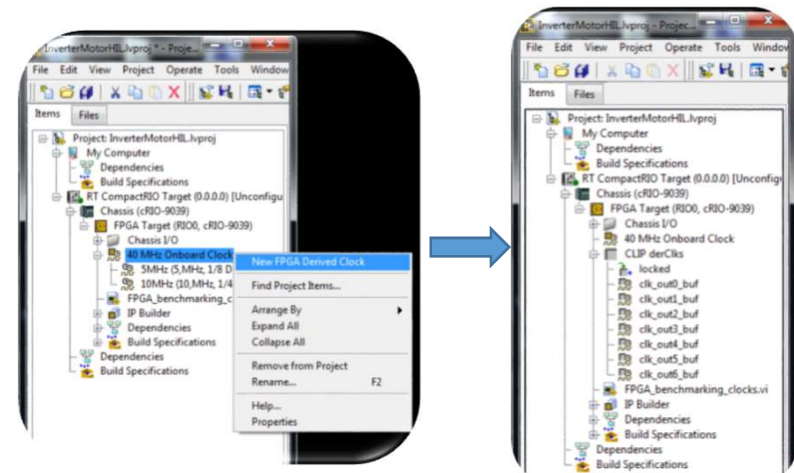
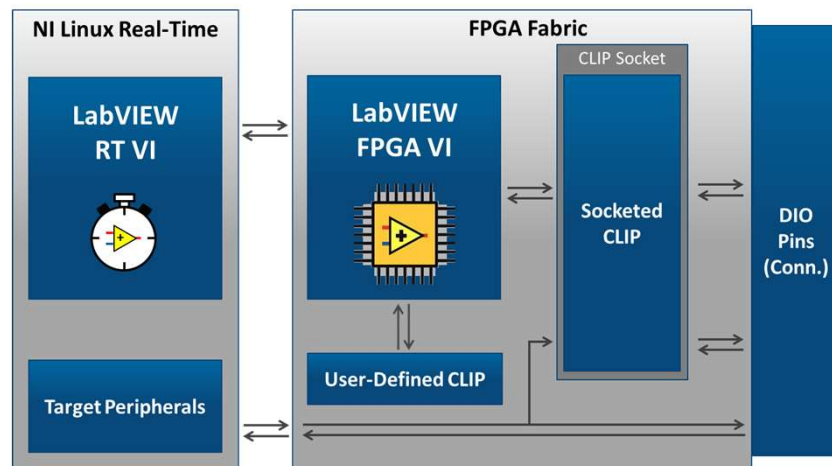
\*Fuente: Tarek Ould Bachir, Jean-Pierre David, "Performing Floating-Point Accumulation on a modern FPGA in Single and Double Precision"

- Métodos de resolución de ecuaciones
  - Necesidad de métodos de inversión de matrices óptimo (necesario en el caso del espacio de estados)
  - Solución: Métodos de factorización LU

# Futuro

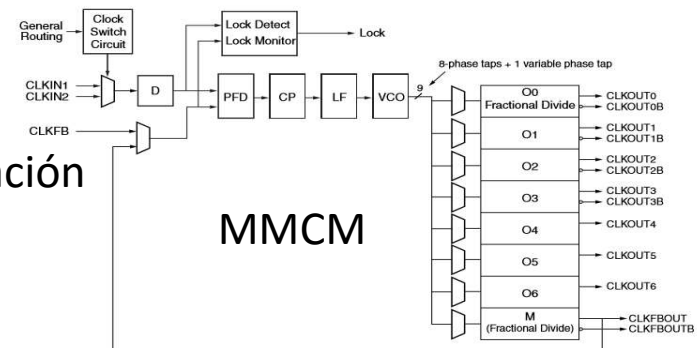


## Solución Temporización Customizada en FPGA a través de CLIP



### Ventajas

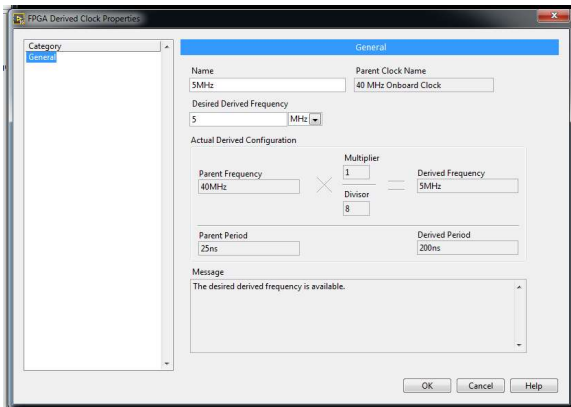
- ✓ Acceso a funciones de bajo nivel de la FPGA
- ✓ Control total sobre las posibilidades de temporización
- ✓ Control de fase
- ✓ Configuración de los Buffers
- ✓ Sincronización de Relojes y Network Deskew



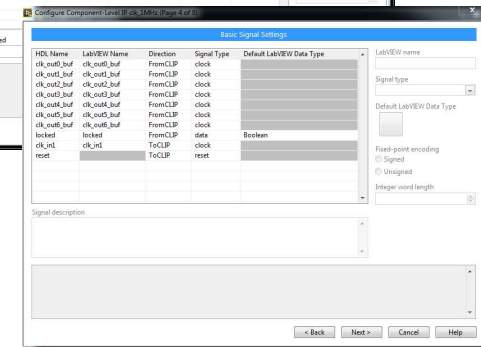
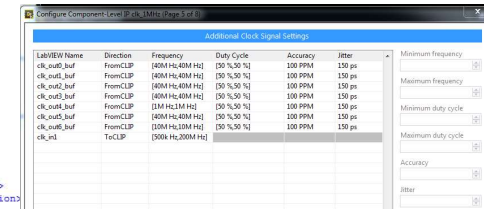
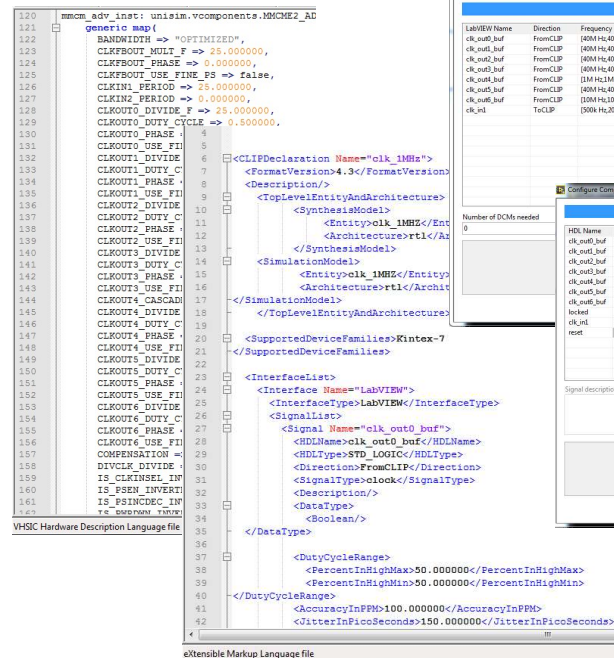
Futuro



# Solución Temporización Customizada FPGA



VS



Wizard Relojes Derivados  
Proyecto LabVIEW

Relojes Derivados a través de CLIP



## Conclusiones

---

- Técnica probada que permite asegurar la calidad del producto y hacer más eficiente (plazo y coste) el proceso de validación del producto. En fase de explotación permite reproducir problemas identificados y asegurar la calidad de las modificaciones.
- Entorno adecuado para la integración continua de SW (pruebas de regresión).
- Entorno fácilmente configurable, adaptable y escalable (HIL genéricos).
- Representa una inversión razonable con una amortización casi inmediata.
- Permite crecer en funcionalidades e integrar otros equipos.
- Actualmente herramienta indispensable como medio de validación.

Thanks



<http://ec.europa.eu>



<https://shift2rail.org/>



Los resultados del trabajo mostrado en esta presentación han sido parcialmente financiados por la CE y la JU de SHIFT2RAIL

**Thank you !!!**





[www.cafpower.com](http://www.cafpower.com)  
[www.cetestgroup.com](http://www.cetestgroup.com)  
[www.asoindel.com](http://www.asoindel.com)

Thanks for your attention

[malza@cafpower.com](mailto:malza@cafpower.com)  
[masicilia@cetestgroup.com](mailto:masicilia@cetestgroup.com)  
[jaume.martinez@asoindel.com](mailto:jaume.martinez@asoindel.com)

